

(2)

1

【特許請求の範囲】

【請求項1】液晶パネルのデータ線に印加する液晶駆動電圧を外部から入力される表示データに応じて出力するデータドライバにおいて、

外部から表示データを入力されるデータバスと、
外部からアドレスを入力されるアドレスバスと、
表示データを記憶するための表示メモリおよび該表示メモリから読み出されたデータを出力するための出力バスを備え、上記データバスを通じて入力された表示データを、上記アドレスバスを通じて入力された上記アドレスに基づいて定まる上記表示メモリ上の領域に一旦格納し、その後、該表示メモリに格納した表示データを別途定められた順に読み出して上記出力バスを通じて出力するデータ処理系と、
上記データ処理系の出力バスと上記データバスとのうちのいずれか一方を選択する選択手段と、
上記選択手段によって選択されている方のバスを通じて送られてくるデータに応じた液晶駆動電圧を出力する電圧出力手段と、
を有することを特徴とするデータドライバ。

【請求項2】上記選択手段は、
選択の基準となる選択情報を格納するメモリと、
上記選択情報に従った選択指示を出力する指示回路と、
上記指示回路からの指示に従って、上記データバスまたは上記データ処理系の出力バスのいずれかを選択するセレクタと、
を含んで構成されるものであることを特徴とする請求項1記載のデータドライバ。

【請求項3】上記選択情報は、上記液晶パネル上における領域を規定したものであり、
上記指示回路は、上記選択情報によって規定された領域に対して出力されるべきデータが上記データバスを通じて送られてくる期間中は上記データバスを選択する指示を出し、それ以外の時には上記データ処理系の出力バスを選択する指示を出すものであること、
を特徴とする請求項2記載のデータドライバ。

【請求項4】上記選択情報は、上記液晶パネル上における動画を表示する領域を規定したものであること、
を特徴とする請求項3記載のデータドライバ。

【請求項5】上記データ処理系は、上記表示メモリから読み出された表示データに基づいて階調制御を行う第1の階調制御回路を有し、該第1の階調制御回路による階調制御の行われた後のデータを上記出力バスを通じて出力するものであること、
を特徴とする請求項1、2、3または4記載のデータドライバ。

【請求項6】上記第1の階調制御回路は、上記階調制御をFRC方式で行うものであること、
を特徴とする請求項5記載のデータドライバ。

【請求項7】上記電圧出力手段は、上記選択手段によ

2

て選択されている方のバスを通じて送られてくる上記データに基づいて階調制御を行う第2の階調制御回路を有し、該第2の階調制御回路による階調制御によって得られた電圧を上記液晶駆動電圧として出力するものであること、
を特徴とする請求項1、2、3、4、5または6記載のデータドライバ。

【請求項8】上記第2の階調制御回路は、上記階調制御をPWM方式、または、AM方式で行うものであること、

を特徴とする請求項7記載のデータドライバ。

【請求項9】請求項1、2、3、4、5、6、7または8記載のデータドライバと、

表示データを処理するデータコントローラとを備え、
上記データコントローラは、上記処理の結果を上記データバスを通じてデータを上記データドライバに出力するものであること、
を特徴とする液晶表示装置。

【請求項10】上記データコントローラは、表示データに対して階調制御を行う第3の階調制御回路を備え、該第3の階調制御回路による階調制御によって得られたデータを出力するものであること、
を特徴とする請求項9記載の液晶表示装置。

【請求項11】上記第3の階調制御回路は、上記階調制御をFRC方式で行うものであること、
を特徴とする請求項10記載の液晶表示装置。

【請求項12】上記第1の階調制御回路による階調制御と、上記第2の階調制御回路による階調制御と、上記第3の階調制御回路による階調制御と、のうちの少なくとも2つを組み合わせることで階調表示を行うこと、
を特徴とする請求項10記載の液晶表示装置。

【請求項13】請求項10、11または12記載の液晶表示装置を備えたことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データドライバ及びこれを用いた液晶表示装置、情報処理装置に関する。

【0002】

【従来の技術】液晶表示装置には、表示品質の向上のみならず、携帯型機器への搭載を目的として低消費電力化が強く望まれている。そのため、表示メモリをデータドライバLSIに内蔵し、表示データを格納したメモリへのアクセス周波数を低速化することで、低消費電力化を図っていた。以下、このような従来の液晶表示装置について、図18、図19、図20を用いて説明する。

【0003】図18は従来のメモリ内蔵液晶ドライバを用いたシステム構成図、図19は液晶表示装置の主要部構成図、図20はメモリ内蔵液晶ドライバの詳細な構成図である。ここに示したのは、160出力のデータドライバLSI107を4個用いて、320×480ドット

(3)

3

の液晶パネル109を駆動する液晶表示装置である。

【0004】図18において、符号“101”を付したのはアドレスバスである。同様に“102”はデータバス、“103”は制御信号線、“104”はCPU、“105”はメモリ、“106”はI/Oデバイス、“107-1”～“107-4”は表示メモリを内蔵したデータドライバLSI、“108”は走査回路、“109”は液晶パネル、“110”は表示同期信号用の信号線を指している。なお、データドライバLSI107-1～107-4を総称して、単に、データドライバLSI107と呼ぶことがある。

【0005】図19、図20において、符号“201”を付したのは表示用発振回路である。同様に、“202”は液晶ドライバの電源回路、“203-1”～“203-4”はデータドライバLSI107-1～107-4の配置位置を示す制御信号を伝送する信号線である。以下、制御信号203-1～203-4を総称して、単に、制御信号203と呼ぶことがある。“204”は表示制御信号を伝送するための信号線、“205”は走査回路用の電源電圧を供給するための線、“206”はデータドライバLSI107用の電源電圧を供給するための線を指している。“207”は制御信号203に対応したアドレス制御を行うアドレス管理回路、“208”はアドレス管理回路207によるアドレス制御によって得られたカラムアドレスを伝送するための信号線、“209”はアドレスアドレス管理回路207でアドレス制御を行った表示メモリのロウアドレスを伝送するための信号線、“210”は制御信号103に基づいてデータドライバLSI107内部の各種制御信号を生成するタイミング制御回路、“211”は表示データの入出力を制御する制御信号を伝送するための信号線、“212”は表示用のロウアドレス218の制御を行う制御信号を伝送するための信号線、“213”はセクタ221を制御する制御信号を伝送するための信号線、“214”はラッチ信号を伝送するための信号線、“215”は液晶駆動の交流化を制御する制御信号を伝送するための信号線、“217”は表示アドレスを生成する表示アドレスカウンタ、“218”は表示用のロウアドレスを伝送するための信号線、“219”はデータの双方向制御を行うI/Oバッファ、“220”はデータを伝送するためのデータバスを指している。“221”は、表示用のアドレスと、システム(CPU104等)から送られてきたアドレスとのうちのいずれかを選択するセクタ、“222”はセクタ221が選択し出力するロウアドレスを伝送するための信号線を指している。“223”はカラムアドレスデコード、“224”はカラムアドレスデコード223が生成した選択信号を伝送するための信号線、“225”は表示メモリ229のデータセクタ、“226”は表示メモリ229のデータバスを指している。“227”はロウアドレス

4

デコードを指している。“229”は表示データを保持する表示メモリ(メモリセル、RAM)、“230”は表示メモリ229からの表示データバス、“231”はFRCデータを制御する制御信号を伝送するための信号線、“232”はFRCのデータを生成するFRCデータ回路、“233”はFRCデータを伝送するための信号線、“234”は表示データ230に対応してFRCデータを選択するFRCセクタ、“235”はFRCセクタ234で選択した表示データを伝送するためのデータバス、“236”、“238”は表示データをラッチするラッチ回路、“237”、“239”は表示データバス、“240”は表示データに基づいて液晶駆動電圧を生成する液晶駆動回路、“241”は液晶駆動電圧を供給するための線を指している。

【0006】本明細書中においては、信号、データ等を、当該信号等を伝送する信号線、バスに付した符号を付けて呼ぶことがある。例えば、信号線110を通じて伝送される表示同期信号を、“表示同期信号110”と呼ぶことがある。また、表示データバス235を通じて伝送される表示データを、“表示データ235”と呼ぶことがある。

【0007】この液晶表示装置の駆動動作を図18を用いて説明する。

【0008】表示データは、CPU104による制御に従って、メモリ105やI/Oデバイス106からデータドライバLSI107の表示メモリに描画される。このメモリ105からデータドライバLSI107への表示データの描画動作は以下のようにして行われる。

【0009】CPU104は、メモリ105に対しリードアドレス、制御信号を出力することでメモリ105のデータを一旦CPU104のレジスタに取り込む、リードサイクルを実行する。続いて、CPU104はデータドライバLSI107に対しライトアドレス、制御信号を出力することで一旦CPU104のレジスタに取り込んだデータをデータドライバLSI107の表示メモリに書き込む、ライトサイクルを実行する。CPU104は、この動作を繰り返すことでメモリ105の表示データをデータドライバLSI107の表示メモリに転送し表示データの更新(描画)を行う。

【0010】更に、図19、図20を用いてデータドライバLSI107の詳細な動作について説明する。

【0011】各データドライバLSI107は、それぞれパネルの配置位置を示す制御信号203によって液晶パネル109に対しての配置位置が設定されている。

【0012】このためCPU104からのアドレスに対して、4つのデータドライバLSI107はいずれがアクセスされているかを、制御信号203に基づいて判定している。CPU104からのライトアドレスを受けると、アドレス管理回路207は当該アドレスが自らの属するデータドライバLSI107の担当するアドレスで

(4)

5

あるか否かを判定する。判定の結果、自らの属するデータドライバLSI107の担当するアドレスであった場合には、当該アドレスを表示メモリ229のアドレス（カラムアドレス208、ロウアドレス209）に変換し、これをカラムアドレスデコーダ223、セクタ221に出力する。

【0013】CPU104からのライトサイクルの時には、セクタ221はロウアドレス209を選択しこれをロウアドレスデコーダ227に出力する。すると、ロウアドレスデコーダ227は、そのアドレスに対応した表示メモリ229のゲート線を選択する。一方、カラムアドレスデコーダ223は、カラムアドレス208に対応したデータセクタ225を有効にすることで、表示メモリ229のデータ線を選択する。これにより、I/Oバッファ219からのライトデータ220を表示メモリ229の所定のアドレスに書き込むことができる。以上の動作を繰り返すことで表示データの更新（描画）を行う。

【0014】表示メモリ229には、1画面分×2ビット（4階調）の表示データが保持されている。

【0015】表示メモリ229からの表示データの読み出しの際には、セクタ221は表示アドレスカウンタ217で生成したロウアドレス（表示アドレス）218を選択する。これにより、その時の表示アドレス218によって指定されているアドレスの表示データが、FRCセクタ234によって順次1ライン分ずつ読み出される。この読み出しは、水平同期信号に同期して行われる。FRCセクタ234は、読み出した表示データを、1ビットの表示データ235としてラッチ回路236に出力する。この表示データ235は、ラッチ回路236、238によって、表示データ237、239として順次転送されて、液晶駆動回路240に入力される。液晶駆動回路240は、この表示データ239に対応した液晶駆動電圧241を生成し、液晶パネル109を駆動する。

【0016】走査回路108はこれに同期して、液晶パネル109のゲート線を1ラインずつ順次有効にしてゆく。これにより表示が行われることになる。

【0017】なお、ここでは、ラッチ回路を2段に構成し（ラッチ回路236、ラッチ回路238）、それぞれの動作タイミングをラッチ信号214、215によって制御することで、CPU104からのアクセス（表示メモリ229への書き込み）と表示動作（表示メモリ229からの読み出し）とが競合した時の調停動作を行っている。

【0018】

【発明が解決しようとする課題】ところで、近年、マルチメディア技術の発展に伴って、動画の表示が要求されるようになってきている。動画を表示するためには、実用上、32階調以上の多階調表示が必須となる。1画素

6

32階調の表示を行うためには1画素5ビットの表示データが必要となる。そして、これを上記従来技術で実現するには、データドライバLSIに内蔵するメモリの容量を増加させなければならない。

【0019】しかし、内蔵するメモリの容量を増加させるとチップサイズが増大し、低価格化を図ることが困難となる。また、動画の描画データは1秒間に30フレーム以上の更新が必要であるが、そのためにはフレーム毎にデータを転送しなければならない、メモリの高速な書換が必須となる。階調数が増えればデータ量も増えるため、階調数が増大する従って書換はさらに高速化が要求されるようになる。このような高速化は消費電力の増大につながる。このように従来技術では低消費電力化と低コスト化を併に実現することが困難であった。

【0020】本発明は、低コストおよび低消費電力を実現しつつ、動画表示に対応可能なデータドライバおよびこれを用いた液晶表示装置、情報処理装置を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明では、データドライバとは別に動画コントローラを設け、動画処理、液晶多階調表示のための処理をここで行うようにする。静止画の表示には、データドライバ内の表示メモリを通じて処理したデータを用いる。一方、動画の表示には、動画コントローラから送られてくるデータを用いる。表示領域に応じて両者を切り替えて使用することで、消費電力の増大、表示メモリの容量の増大を招くことなく動画に対応できる。つまり、表示画面が変化しない静止画では表示メモリのアクセス周波数を低速化できる（表示メモリから1ライン分ずつ読み出すようにすれば、表示メモリへのアクセスは水平期間に1回で足りる）。一方、動画表示では、処理を動画コントローラに行わせることで、データドライバに内蔵する表示メモリ容量を増加させる必要はない。また、動画コントローラで階調制御の処理を行うため、階調表示数がデータドライバのみによって制限されることはない。データドライバによる階調制御と、動画コントローラによる階調制御とを組み合わせれば、階調表示数をより多くできる。

【0022】本発明の構成をより具体的に述べれば以下の通りである。

【0023】本発明の第1の態様としては、液晶パネルのデータ線に印加する液晶駆動電圧を外から入力される表示データに応じて出力するデータドライバにおいて、外部から表示データを入力されるデータバスと、外部からアドレスを入力されるアドレスバスと、表示データを記憶するための表示メモリおよび該表示メモリから読み出されたデータを出力するための出力バスを備え、上記データバスを通じて入力された表示データを、上記アドレスバスを通じて入力された上記アドレスに基づいて定まる上記表示メモリ上の領域に一旦格納し、その

(5)

7

後、該表示メモリに格納した表示データを別途定められた順に読み出して上記出力バスを通じて出力するデータ処理系と、上記データ処理系の出力バスと上記データバスとのうちのいずれか一方を選択する選択手段と、上記選択手段によって選択されている方のバスを通じて送られてくるデータに応じた液晶駆動電圧を出力する電圧出力手段と、を有することを特徴とするデータドライバが提供される。

【0024】上記選択手段は、選択の基準となる選択情報を格納するメモリと、上記選択情報に従った選択指示を出力する指示回路と、上記指示回路からの指示に従って、上記データバスまたは上記データ処理系の出力バスのいずれかを選択するセレクトと、を含んで構成されるものであることが好ましい。

【0025】上記選択情報は、上記液晶パネル上における領域を規定したものであり、上記指示回路は、上記選択情報によって規定された領域に対して出力されるべきデータが上記データバスを通じて送られてくる期間中は上記データバスを選択する指示を出し、それ以外の時には上記データ処理系の出力バスを選択する指示を出すものであることが好ましい。

【0026】上記選択情報は、上記液晶パネル上における動画を表示する領域を規定したものであってもよい。

【0027】上記データ処理系は、上記表示メモリから読み出された表示データに基づいて階調制御を行う第1の階調制御回路を有し、該第1の階調制御回路による階調制御の行われた後のデータを上記出力バスを通じて出力するものであってもよい。

【0028】上記第1の階調制御回路は、上記階調制御をFRC方式で行うものであってもよい。

【0029】上記電圧出力手段は、上記選択手段によって選択されている方のバスを通じて送られてくる上記データに基づいて階調制御を行う第2の階調制御回路を有し、該第2の階調制御回路による階調制御によって得られた電圧を上記液晶駆動電圧として出力するものであってもよい。

【0030】上記第2の階調制御回路は、上記階調制御をPWM方式、または、AM方式で行うものであってもよい。

【0031】本発明の第2の態様としては、上述した第1の態様のデータドライバと、表示データを処理するデータコントローラとを備え、上記データコントローラは、上記処理の結果を上記データバスを通じてデータを上記データドライバに出力するものであることを特徴とする液晶表示装置が提供される。

【0032】上記データコントローラは、表示データに対して階調制御を行う第3の階調制御回路を備え、該第3の階調制御回路による階調制御によって得られたデータを出力するものであることが好ましい。

【0033】上記第3の階調制御回路は、上記階調制御

8

をFRC方式で行うものであってもよい。

【0034】上記第1の階調制御回路による階調制御と、上記第2の階調制御回路による階調制御と、上記第3の階調制御回路による階調制御と、のうちの少なくとも2つを組み合わせることで階調表示を行ってもよい。

【0035】本発明の第3の態様としては、上述の第2の態様の液晶表示装置を備えたことを特徴とする情報処理装置が提供される。

【0036】上述した各態様の作用についてまとめて説明する。

【0037】データ処理系では、データバスを通じて入力された表示データを、表示メモリに一旦格納する。この時の格納領域は、アドレスバスを通じて入力されたアドレスに基づいて定められる。その後、表示メモリに格納した表示データを別途定められた順に読み出して出力バスを通じて出力する。なお、データ処理系が第1の階調制御回路を有している場合には、出力バスには、表示メモリから読み出した表示データに対してこの第1の階調制御回路による階調制御（例えば、FRC方式による階調制御）の行われた後のデータを出力する。

【0038】データコントローラは、表示データを処理した結果をデータバスを通じてデータをデータドライバに出力する。なお、データコントローラが第3の階調制御回路を有している場合には、この第3の階調制御回路による階調制御（例えば、FRC方式による階調制御）によって得られたデータを出力する。

【0039】選択手段は、データ処理系の出力バスと、データバスとのうちのいずれか一方を選択する。この選択手段は、指示回路が出力する、選択情報に従った選択指示に従って、セレクトがデータバスまたはデータ処理系の出力バスのいずれかを選択することで実現できる。この選択情報が液晶パネル上における領域（例えば、動画表示領域）を規定したものである場合には、指示回路は、この選択情報によって規定された領域に対して出力されるべきデータがデータバスを通じてデータコントローラから送られてくる期間中、データバスを選択する指示を出す。それ以外の時にはデータ処理系の出力バスを選択する指示を出す。

【0040】電圧出力手段は、選択手段によって選択されている方のバスを通じて送られてくるデータに応じた液晶駆動電圧を出力する。なお、電圧出力手段が第2の階調制御回路を有している場合には、入力されたデータに対してこの第2の階調制御回路による階調制御（例えば、PWM方式、または、AM方式による階調制御）を行うことで得られた電圧を液晶駆動電圧として出力する。

【0041】

【発明の実施の形態】本発明の実施形態を図面を用いて説明する。

【0042】本発明の第1の実施形態である液晶表示装

(6)

9

置を図1乃至図5、図10乃至図15を用いて説明する。

【0043】まず、概要を図1を用いて説明する。

【0044】この液晶表示装置は、320×480画素の液晶パネル309と、データドライバLSI307-1〜307-4と、走査回路308と、動画コントローラ311と、CPU304と、メモリ305と、I/Oデバイス306とから構成されている。そして、これら各部間は、アドレスバス301、データバス302、制御信号線303、表示同期信号線310によって接続されている。なお、これ以降の説明においては、データドライバLSI307-1〜307-4を総称して、単に、“データドライバLSI307”と呼ぶことがある。また、本明細書中、信号を当該信号を伝送する信号線の符号を付して呼ぶことがある。例えば、表示同期信号線310を通じて送られる表示同期信号を、“表示同期信号310”と呼ぶことがある。

【0045】CPU304は、アドレスバス301、データバス302を通じて、データドライバLSI307の内蔵する表示メモリに直接アクセスできるようになっている。また、動画コントローラ311も同様に、アドレスバス301、データバス302を通じて、データドライバLSI307にアクセスできるようになっている。これによりこの液晶表示装置では、静止画データについては、CPU304、メモリ305によって表示データの更新（描画）を行うようになっている。一方、動画データについては動画コントローラ311からデータドライバLSI307へ出力されるようになっている。そして、データドライバLSI307は、内部に動画表示領域を示す情報を備えており、該情報に従って、CPU304等から送られてくる表示データ（静止画データ）と、動画コントローラ311から送られてくる表示データ（動画データ）と、を切り替えて液晶パネル309に出力するようになっている。

【0046】このような動作を実現するための構成上の特徴は、主としてデータドライバLSI307にある。そこで、これ以降は、データドライバLSI307を中心に説明を行うこととする。

【0047】各データドライバLSI307は、各画素2ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えた表示メモリ（メモリセル433）を備えている。そのため、1個のデータドライバLSI307で160×240画素の液晶パネルを4階調で表示することができる。液晶パネル309は320×480画素であるため、このデータドライバLSI307を上下に2個づつ（合計4個）配置し、上下240ラインずつの2画面駆動を行うようになっている。

【0048】図2、図3に示すとおり、データドライバLSI307は、アドレス管理回路408、タイミング制御回路411、I/Oバッファ419、表示アドレス

10

カウンタ421、セクタ423、ロウアドレスデコーダ425、FRCデータ回路427、カラムアドレスデコーダ429、データセクタ431、メモリセル433、FRCセクタ435、セクタ437、シフトレジスタ439、ラッチ回路441、液晶駆動回路443を備えている。また、これらの各部間（あるいは、他の回路部分との間）を繋ぐための各種信号線、バス420、432、434、442等を備えている。

【0049】なお、該図2、図3には、図1においては省略し描いていなかった、発振回路402、電源回路404も描いている。

【0050】アドレス管理回路408は、制御信号303、401に基づいてアドレス301をカラムアドレス409およびロウアドレス410に変換するものである。アドレス管理回路408は、カラムアドレス409をカラムアドレスデコーダ429に、一方、ロウアドレス410をセクタ423を介してロウアドレスデコーダ425へ出力している。なお、制御信号401は、4つのデータドライバLSI307のうちいずれがその時のアクセス対象であるかを指定するためのものである。

【0051】タイミング制御回路411は、制御信号303および表示同期信号310からデータドライバLSI307内部の各種制御信号412、413、414、415、416、417、418、445を生成するものである。これらの制御信号のうち、制御信号412はI/Oバッファ419に出力されている。制御信号413は、表示アドレスカウンタ421に出力されている。制御信号414は、セクタ423に出力されている。制御信号415は、FRCデータ回路427に出力されている。シフトクロック416はシフトレジスタ439に出力されている。ラッチ信号417は、ラッチ回路441に出力されており、表示データをラッチするタイミングを制御するのに用いられている。制御信号418は、液晶駆動回路443に出力されており、液晶駆動の交流化を制御するのに用いられている。制御信号445は、セクタ437へ出力されており、セクタ437に接続されている2つのデータバス（データバス436、データバス302）のうちいずれか一方を選択するのに用いられている。なお、タイミング制御回路411にも上述の制御信号401が入力されている。

【0052】該タイミング制御回路411は、液晶パネル309上において動画の表示される領域を示す情報が格納されたレジスタ4110を備えている。また、該タイミング制御回路411には、その時、液晶パネル309上における何番目のラインに対応した表示データをメモリセル433から読み出すべきかを示すロウアドレス422が入力されている。制御信号445はこのレジスタ4110の内容とロウアドレス422とに基づいて生成されている。つまり、動画表示領域では表示データ302（動画コントローラ311から送られてくる動画デ

(7)

11

ータ)を、一方、静止画表示領域では表示データ436(静止画データ)を、セクタ437に選択させるように制御信号445を生成している。このような点が本実施形態最大の特徴点である。

【0053】I/Oバッファ419は、制御信号412に従って、表示データ302、420の入出力を制御するものである。

【0054】表示アドレスカウンタ421は、制御信号413に従って、表示用のロウアドレス422を生成するものである。該表示アドレスカウンタ421は、この
10 ロウアドレス422をタイミング制御回路411およびセクタ423に出力している。

【0055】セクタ423は、制御信号414に従って、表示用のロウアドレス422と描画用のロウアドレス410とのうちのいずれか一方を選択するものである。該セクタ423は、選択した方を、ロウアドレス424としてロウアドレスデコーダ425に出力している。

【0056】ロウアドレスデコーダ425は、ロウアドレス424を解釈することでワード選択信号426を生成して、これをメモリセル433のゲート線に出力する
20 ものである。

【0057】カラムアドレスデコーダ429は、カラムアドレス409に基づいて、選択信号430を生成するものである。該カラムアドレスデコーダ429は、この
25 選択信号430を、データセクタ431に出力している。

【0058】データセクタ431は、選択信号430に従ってメモリセル433のデータバス432のデータ
30 線を選択することで、メモリセル433への表示データ420の入出力を制御するものである。

【0059】メモリセル433は、表示データ(静止画データ)を一時記憶するためのメモリであり、RAMで構成されている。該メモリセル433上における表示データの書き込み/読み出しの対象となる領域は、上述の
35 カラムアドレスおよびロウアドレスに基づいて指定できるようになっている。上述したとおり本実施形態のメモリセル433は、各画素2ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えている。

【0060】FRCデータ回路427およびFRCセクタ435は、FRC方式による階調表示を行うための
40 ものである。FRC階調方式とは、図15に示すとおり、印加電圧(すなわち表示輝度)をフレーム毎に変えることで、中間の階調の輝度を表示する方式である(図15の例では、奇数フレームと偶数フレームとで表示輝度を変えている)。FRCデータ回路427は、FRC階調方式により階調表示を行う際に必要なFRCデータ428を生成するものである。FRCデータ428の生成
45 タイミングは、制御信号415に従って決定されてい

12

る。FRCセクタ435は、1画素2ビットの表示データ434に対応してFRCデータ1ビットを選択する
50 処理(FRC制御)を行うものである。FRCセクタ435は、FRC制御によって生成されたデータを、表示データ436としてセクタ437へ出力している。

【0061】セクタ437は、表示データ436(静止画データ)と、動画コントローラ311から入力されている表示データ302(動画データ)と、のうちの
55 いずれか一方を制御信号445に従って選択するものである。つまり、本実施形態においては、データバス302を通じて送られてきた表示データが、セクタ437に至るまでには2つのルートが設けられている。1番目のルートは、データバス302以後、I/Oバッファ419、データセクタ431、メモリセル433、FRCセクタ435、データバス436を通じてセクタ437に至るルートである。2番目のルートは、メモリセル433等を介することなく、データバス302を、
60 直接、セクタ437に接続したルートである。あらかじめ動画表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス302には動画コントローラ311から動画データが入力されている。一方、あらかじめ静止表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス302にはCPU304、メモリ305等から
65 静止画データが入力されている。従って、セクタ437において、データバス436とデータバス302とのいずれか一方を制御信号445に従って選択することで、データバス302からセクタ437に至る2つのルートのうちのいずれかを、表示データに応じて選択できるようにになっている。該セクタ437は、このようにして選択した方を表示データ438としてシフトレジスタ439へ出力している。

【0062】なお、本実施形態におけるセクタ437の具体的な内部構成を図4に示した。

【0063】シフトレジスタ439は、8ビット双方向シフトレジスタであり、シフトクロック(制御信号)416に従って動作している。

【0064】ラッチ回路441は、制御信号417に従って(つまり、走査回路308の表示選択信号407に
70 同期して)表示データ440をラッチするものである。該ラッチ回路441は、ラッチしたデータを、表示データ442として液晶駆動回路443へ出力している。

【0065】液晶駆動回路443は、表示データ442に対応して液晶駆動電圧444を生成するものである。

【0066】発振回路402は表示タイミングを規定するための表示クロック403を生成し、走査回路308へ供給するものである。

【0067】電源回路404は、液晶パネル駆動電圧(走査回路308用の電源電圧405、データドライバLSI307用の電源電圧406)を生成し供給するも
75

(8)

13

のである。

【0068】次に、本実施形態における表示動作について説明する。

【0069】説明は静止画の表示動作と動画の表示動作とに分けて行う。

【0070】〔静止画の表示動作〕静止画については、CPU304がメモリ305内の表示データを読み出し（リードアクセス）し、これをデータドライバLSI307のメモリセル433に書き込む（ライトアクセス）ことで、表示データの更新（描画）行われる。メモリ433へのアクセスは、ランダムに行われる。この時の、CPU304のアクセスはSRAMインタフェースで行われる。SRAMインタフェースのリード/ライトタイミングを図10、図11に示した。図10、図11に示した信号のうち、アドレス信号はアドレスバス301を通じて伝送されている。データ信号は、データバス302を通じて伝送されている。これ以外の信号は、制御信号303に含まれているものである。

【0071】以下、データドライバLSI307のメモリセル433への表示データの書き込み、メモリセル433からの表示データの読み出しについて説明する。

【0072】まず、メモリセル433への表示データの書き込みについて説明する。

【0073】システム（CPU304等）からのリード/ライトアドレスは、アドレスバス301を通じてデータドライバLSI307のアドレス管理回路408に入力される。各データドライバLSI307のアドレス管理回路408は、それぞれ制御信号401に基づいてその時のアクセスが、自らの属するデータドライバLSI307に対するものであるか否かを判定する。該判定の結果、自らの属するデータドライバLSI307に対するアクセスであった場合には、この時入力されたアドレス301を、カラムアドレス409、ロウアドレス410に変換する。

【0074】カラムアドレスデコーダ429は、このカラムアドレス409をデコードする。データセクタ431はこのデコード結果に基づいて、対応するアドレスのデータ線を選択する。

【0075】一方、セクタ423は、ロウアドレス410を選択し、ロウアドレス424としてロウアドレスデコーダ425に出力する。ロウアドレスデコーダ425はこのロウアドレス424をデコードし、デコード結果に応じてゲート線1本を選択する。これにより、CPU304は、その時選択されているデータ線およびゲート線によって定まるメモリセル433上の所定のビットにアクセスし、表示データを所定のアドレスに転送することができる。

【0076】次に、メモリセル433からの表示データの読み出し（表示動作）について説明する。

【0077】FRCセクタ435は、メモリセル43

14

3に保持された表示データ（1ライン分の各画素2ビットのデータ）を、1ビットのFRCデータ436に変換する。

【0078】ところで、タイミング制御回路411は、レジスタ4110の内容とロウアドレス422とを確認することで、この時、静止画領域の表示を行っていることを知っている。そのため、タイミング制御回路411は、この時には、セクタ437がデータバス436を選択するような値を制御信号445として出力している。セクタ437は、この制御信号445に従って、データバス436を選択し、該データバス436を通じて送られてくるFRCデータを表示データ438として出力する。

【0079】シフトレジスタ439は、表示データ438を水平周期でラッチする。これに続く、ラッチ回路441は、次の水平周期で、シフトレジスタ439の出力する表示データ440をラッチし、液晶駆動回路443に表示データ442として出力する。液晶駆動回路443は、この表示データ442に対応した液晶駆動電圧444を選択し液晶パネル309に出力する。液晶駆動電圧444の出力は走査回路308の生成する走査選択電圧407に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0080】以上の動作を繰り返すことで静止画の表示が可能となる。

【0081】〔動画の表示動作〕動画を表示する場合には、多階調表示、表示データの高速転送が、実際上は必要になる。本実施形態のデータドライバLSI307は、これに対応するため以下のような描画動作を行う。

【0082】動画データは、動画コントローラ311とCPU304とで動画圧縮データから動画伸長処理を行い、表示データに展開する。展開した表示データは動画コントローラ311がFRC制御を行う。

【0083】ところで、動画コントローラ311も、動画領域を示す情報を格納したレジスタ（後述する図5における制御レジスタ回路505）を備えている。動画コントローラ311は、このレジスタの内容等を確認することで、その時表示処理の対象となっているのが動画表示領域であるか否かを知ることができる。その時表示処理の対象となっているのが動画表示領域であった場合、動画コントローラ311は上述のFRC制御を行なう。そして、その結果得られた1ビットのFRCデータを、1ライン分ずつ順次、データバス302を通じてデータドライバLSI307に送る。

【0084】データドライバLSI307のタイミング制御回路411も、同様にレジスタ4110の内容とロウアドレス422とを確認することでその時表示処理の対象となっているのが動画表示領域であることを知る。そのため、タイミング制御回路411は、この時の制御信号445を、セクタ437がデータバス302を選

(9)

15

択するような値とする。その結果、セクタ437は、データバス302を通じて動画コントローラ311から送られてくるFRCデータを選択し、シフトレジスタ439に出力させる。これ以降は、静止画の場合と同様に、このFRCデータに基づいた液晶駆動電圧444の出力が行われることになる。

【0085】次に、動画コントローラ311からデータドライバLSI307への動画データ転送のタイミングおよびこの動画データのデータドライバLSI307内での処理のタイミングを、図12、図13、図14を用いてさらに詳細に説明する。

【0086】ここでの説明では、タイミング制御回路411のレジスタ4110において、液晶パネル309のnラインからmラインまでの領域 ($n < m$) が動画表示領域として設定されているものとする (図12参照)。

【0087】動画表示データはデータバス302を通じて動画コントローラ311からデータドライバLSI307に1ライン分ずつシリアルに転送されてくる。図13において、CL1は水平期間を表わす同期信号であり、表示同期信号310 (図2、図3参照) に含まれている信号である。

【0088】タイミング制御回路411は、このCL1を制御信号413として表示アドレスカウンタ421に出力している。表示アドレスカウンタ421は、この制御信号413 (CL1) をカウントし、そのカウント値を表示用のロウアドレス422としてセクタ423に出力している。

【0089】セクタ437は、制御信号445に従ってその選択状態を切り替えているが、その選択状態は、表示アドレスカウンタ421のカウント値と以下のような関係にある。つまり、表示アドレスカウンタ421のカウント値が $n-1$ となっている時 (動画表示領域でない時) には、セクタ437は、データバス436 (つまり、メモリセル433に格納されている $n-1$ ライン目の表示データに基づいて得られたFRCデータ) を選択している。表示アドレスカウンタ421のカウント値が n の時 (動画表示領域の時) には、セクタ437は、データバス302 (つまり、動画コントローラ311から送られてくる表示データ) を選択している。このように、動画表示領域ではセクタ437はデータバス302 (動画コントローラ311からの表示データ) を選択し、動画表示領域以外ではメモリセル433の表示データを選択する。

【0090】また、動画コントローラ311の動作も、セクタ437、表示アドレスカウンタ421の動作と以下のような関係がある。つまり、表示カウンタ421が $(n-1)$ をカウントする時に、動画コントローラ311は n ライン目の表示データを順次転送する。

【0091】データドライバLSI307においては、シフトレジスタ439が、図14に示したタイミングで

16

この動画コントローラ311から送られてきた n ライン目のデータ (1ライン分) を取り込む。すなわち、シフトレジスタ439は、WE信号に同期したシフトクロック416で、順次、表示データ438 (動画コントローラ311から送られてきた n ライン目のデータ) を1ライン分取り込む (注: 既に述べたとおり、この時には、セクタ437はデータバス302を選択した状態とされている)。なお、動画コントローラ311からの表示データの転送は、図14におけるWE信号 (ライトイネーブル信号) に同期して行われている。シフトレジスタ439は、このようなタイミングで取り込んだデータを、ラッチ回路441に表示データ440として転送する。

【0092】ラッチ回路441は、次のCL1信号に同期してこの表示データ440をラッチし、表示データ442として液晶駆動回路443に転送する (図13参照)。液晶駆動回路443は、この表示データ442に応じて液晶駆動電圧444を生成し出力する。液晶駆動電圧444の出力は走査回路308の生成する走査選択電圧407に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0093】以上の動作を繰り返すことで動画表示が可能となる。

【0094】動画コントローラ311について図5を用いて説明しておく。

【0095】動画コントローラ311は、MPEGなどの圧縮データを伸長し、表示データを再生するものである。この動画コントローラ311は、図5に示すとおり、タイミング制御回路501、入出力を制御するI/O制御回路502、アドレス制御回路503、動画処理回路504、制御レジスタ回路505、FRC制御回路506を備えている。また、これら各部を繋ぐ、信号線507、508、509、510、511、512、アドレスバス513、514、データバス515、516、517、518、519、520を備えている。

【0096】I/O制御回路502は、データバス302を通じてのデータ信号の入出力、アドレスバス301を通じてのアドレス信号の入出力を制御している。I/O制御回路502は、データバス302を通じて入力された圧縮データを、動画処理回路504に出力する。また、アドレスバス301を通じて入力されたアドレス信号を、アドレス制御回路503へ出力する。

【0097】動画処理回路504は、入力された圧縮データの伸長、再生、表示サイズに適應したスケーリング等の処理を行なう。そして、該処理によって得られた表示データを、FRC制御回路506に出力する。FRC制御回路506はこの表示データをFRCデータに変換する。このFRCデータは、この後、再び、動画処理回路504を通じて、I/O制御回路502に戻される。

【0098】制御レジスタ回路505には、その時設定

(10)

17

されている動画表示領域を示す情報が格納されている。
I/O制御回路502はこの制御レジスタ回路505の内容を確認することで、その時動画領域に対する表示処理が行われているか否かを知る。そして、動画領域に対する表示処理が行われている時だけ、FRCデータをデータバス302を通じて出力する。データドライバLSI307の動作タイミングとの関係については、上述の図13、図14に示したとおりである。

【0099】動画コントローラ311内の各部の動作タイミングは、タイミング制御回路501が制御信号303に基づいて生成出力する各種制御信号507、508、509、510、511に基づいて調整されている。また、アドレスの管理は、アドレス制御回路503によってなされている。

【0100】以上説明したとおり本実施形態の液晶表示装置では、データドライバLSI307の備えるメモリセル433を静止画表示にのみ用いている。そのため、メモリセル433の書換を高速に行う必要がなく、低消費電力化が可能である。また、動画表示における階調表示のためのFRC制御は動画コントローラで行っている。そのため、データドライバLSI307のメモリ容量を増やすことなく、多階調の動画表示（本実施形態では、32階調）が容易に実現可能となる。

【0101】本発明の第2の実施形態である液晶表示装置を図6、図7、図10乃至図14、図16を用いて説明する。

【0102】第2の実施形態では階調方式としてパルス幅変調方式（PWM方式）を用いる。

【0103】この液晶表示装置の全体構成は、データドライバ307に代わってデータドライバ900を用いている点を除き第1の実施形態（図1参照）と同様である。該第2の実施形態における特徴は、主としてデータドライバLSI900にある。そこで、これ以降は、データドライバLSI900を中心に説明を行うこととする。

【0104】各データドライバLSI900は、各画素2ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えた表示メモリ（メモリセル933）を備えている。そのため、1個のデータドライバLSI900で160×240画素の液晶パネルを4階調で表示することができる。液晶パネル309は320×480画素であるため、このデータドライバLSI900を上下に2個づつ（合計4個）配置し、上下240ラインずつの2画面駆動を行うようになっている。

【0105】図6、図7に示すとおり、データドライバLSI900は、アドレス管理回路908、タイミング制御回路911、I/Oバッファ919、表示アドレスカウンタ921、セクタ923、ロウアドレスデコーダ925、カラムアドレスデコーダ929、データセクタ931、メモリセル933、セクタ937、シフ

18

トレジスタ939、ラッチ回路941、液晶駆動回路943を備えている。また、これらの各部間（あるいは、他の回路部分との間）を繋ぐための各種信号線、バス920、932、934、942等を備えている。

【0106】なお、該図6、図7には、図1においては省略し描いていなかった、発振回路402、電源回路904も描いている。

【0107】アドレス管理回路908は、制御信号303、901に基づいてアドレス301をカラムアドレス909およびロウアドレス910に変換するものである。アドレス管理回路908は、カラムアドレス909をカラムアドレスデコーダ929に、一方、ロウアドレス910をセクタ923を介してロウアドレスデコーダ925へ出力している。なお、制御信号901は、4つのデータドライバLSI900のうちいずれがその時のアクセス対象であるかを指定するためのものである。

【0108】タイミング制御回路911は、制御信号303および表示同期信号907からデータドライバLSI900内部の各種制御信号912、913、914、916、917、918、927、945を生成するものである。これらの制御信号のうち、制御信号912はI/Oバッファ919に出力されている。制御信号913は、表示アドレスカウンタ921に出力されている。制御信号914は、セクタ923に出力されている。制御信号（シフトクロック）916はシフトレジスタ939に出力されている。制御信号（ラッチ信号）917は、ラッチ回路941に出力されており、表示データをラッチするタイミングを制御するのに用いられている。制御信号918は、液晶駆動回路943に出力されており、液晶駆動の交流化を制御するのに用いられている。制御信号927は、液晶駆動回路943に出力されており、パルス幅変調のタイミングを制御するのに用いられている。制御信号945は、セクタ937へ出力されており、セクタ937に接続されている2つのデータバス（データバス436、データバス302）のうちいずれか一方を該セクタ937が選択するのに用いられている。なお、タイミング制御回路911にも上述の制御信号901が入力されている。

【0109】該タイミング制御回路911は、液晶パネル309上において動画の表示される領域を示す情報が格納されたレジスタ9110を備えている。また、該タイミング制御回路911には、その時、液晶パネル309上における何番目のラインに対応した表示データをメモリセル933から読み出すべきかを示すロウアドレス922が入力されている。上述の制御信号945はこのレジスタ9110の内容とロウアドレス922とに基づいて生成されている。つまり、動画表示領域では表示データ302（動画コントローラ311から送られてくる動画データ）を、一方、静止画表示領域では表示データ934（静止画データ）を、セクタ937に選択させ

(11)

19

るように制御信号945を生成している。このような点が本実施形態最大の特徴点である。

【0110】I/Oバッファ919は、制御信号912に従って、表示データ302、920の入出力を制御するものである。

【0111】表示アドレスカウンタ921は、制御信号913に従って、表示用のロウアドレス922を生成するものである。該表示アドレスカウンタ921は、このロウアドレス922をタイミング制御回路911およびセクタ923に出力している。

【0112】セクタ923は、制御信号914に従って、表示用のロウアドレス922と描画用のロウアドレス910とのうちのいずれか一方を選択するものである。該セクタ923は、選択した方を、ロウアドレス924としてロウアドレスデコーダ925に出力している。

【0113】ロウアドレスデコーダ925は、ロウアドレス924を解釈することでワード選択信号926を生成して、これをメモリセル933のゲート線に出力するものである。

【0114】カラムアドレスデコーダ929は、アドレス管理回路908の出力するカラムアドレス909に基づいて、選択信号930を生成するものである。該カラムアドレスデコーダ929は、この選択信号930を、データセクタ931に出力している。

【0115】データセクタ931は、選択信号930に従ってメモリセル933のデータバス933のデータ線を選択することで、メモリセル933への表示データ920の入出力を制御するものである。

【0116】メモリセル933は、表示データ（静止画データ）を一時記憶するためのメモリであり、RAMで構成されている。該メモリセル933上における表示データの書き込み／読み出しの対象となる領域は、上述のカラムアドレスおよびロウアドレスに基づいて指定できるようになっている。上述したとおりメモリセル933は、各画素2ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えている。

【0117】セクタ937は、表示データ934（静止画データ）と、動画コントローラ311から入力されている表示データ302（動画データ）と、のうちのいずれか一方を制御信号945に従って選択するものである。つまり、本実施形態においては、データバス302を通じて送られてきた表示データが、セクタ937に至るまでには2つのルートが設けられている。1番目のルートは、データバス302以後、I/Oバッファ919、データセクタ931、メモリセル933、データバス934を通じてセクタ937に至るルートである。2番目のルートは、メモリセル933等を介することなく、データバス302を、直接、セクタ937に接続したルートである。あらかじめ動画表示領域として

20

設定されている領域についての表示データを入力すべき期間中は、データバス302には動画コントローラ311から動画データが入力されている。一方、あらかじめ静止表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス302にはCPU304、メモリ305等から静止画データが入力されている。従って、セクタ937において、データバス934とデータバス302とのうちのいずれか一方を制御信号945に従って選択することで、データバス302からセクタ937に至る2つのルートのうちのいずれかを、表示データに応じて選択できるようになっている。該セクタ937は、このようにして選択した方を表示データ938としてシフトレジスタ939へ出力している。

【0118】なお、本実施形態におけるセクタ937の具体的な内部構成は、第1の実施形態におけるセクタ437と同様でよい（図4参照）。

【0119】シフトレジスタ939は、8ビット双方向シフトレジスタであり、制御信号916に従って動作している。

【0120】ラッチ回路941は、制御信号（ラッチ信号）917に従って（つまり、走査回路902の走査選択信号903に同期して）表示データ940をラッチするものである。該ラッチ回路941は、ラッチしたデータを、表示データ942として液晶駆動回路943へ出力している。

【0121】液晶駆動回路943は、パルス幅変調方式により、表示データ942に対応した液晶駆動電圧944を生成するものである。パルス幅変調方式とは、図16に示すとおり、選択期間中に液晶パネル309のデータ電極に与える電圧を切り換えることで液晶に与える電圧実効値を制御し、階調表示を実現する方式である。図16の例では、選択期間を3等分し、データ電極に与える電圧をこの3等分した期間毎に切り換えることで4階調表示を実現している。

【0122】発振回路402は表示タイミングを規定するための表示クロック403を生成し、走査回路902へ供給するものである。

【0123】電源回路904は、液晶パネル駆動電圧（走査回路用902の電源電圧405、データドライバLSI900用の電源電圧906）を生成し供給するものである。

【0124】なお、動画コントローラ311の構成および動作は基本的には第1の実施形態と同様である（図5参照）。但し、該第2の実施形態では、第1の実施形態と異なりFRCデータは各画素2ビットのデータとしている。動画コントローラ311が行うFRC制御による階調制御と、データドライバLSI900が行うパルス幅変調制御による階調制御とを組み合わせることで多階調表示を実現している。パルス幅変調制御により4階調

(12)

21

制御を行い、FRC制御により12階調以上の制御を行えば、これらの組み合わせにより32階調以上の表示を実現できる。

【0125】次に、本実施形態における表示動作について説明する。

【0126】説明は静止画の表示動作と動画の表示動作とに分けて行う。

【0127】〔静止画の表示動作〕静止画については、CPU304がメモリ305内の表示データを読み出し（リードアクセス）し、これをデータドライバLSI900のメモリセル933に書き込む（ライトアクセス）ことで、表示データの更新（描画）が行われる。メモリ933へのアクセスは、ランダムに行われる。この時の、CPU304のアクセスはSRAMインタフェースで行われる。SRAMインタフェースのリード／ライトタイミングは図10、図11に示したとおりである。

【0128】以下、データドライバLSI900のメモリセル933への表示データの書き込み、メモリセル933からの表示データの読み出しについて説明する。

【0129】まず、メモリセル933への表示データの書き込みについて説明する。

【0130】システム（CPU304等）からのリード／ライトアドレスは、アドレスバス301を通じてデータドライバLSI900のアドレス管理回路908に入力される。各データドライバLSI900のアドレス管理回路908は、それぞれ制御信号901に基づいてその時のアクセスが、自らの属するデータドライバLSI900に対するものであるか否かを判定する。該判定の結果、自らの属するデータドライバLSI900に対するアクセスであった場合には、この時入力されたアドレス301を、カラムアドレス909、ロウアドレス910に変換する。

【0131】カラムアドレスデコーダ929は、このカラムアドレス909をデコードする。データセクタ931はこのデコード結果に基づいて、対応するアドレスのデータ線を選択する。

【0132】一方、セクタ923は、ロウアドレス910を選択し、ロウアドレス924としてロウアドレスデコーダ925に出力する。ロウアドレスデコーダ925はこのロウアドレス924をデコードし、デコード結果に応じてゲート線1本を選択する。これにより、CPU304は、その時選択されているデータ線およびゲート線によって定まるメモリセル933上の所定のビットにアクセスし、表示データを所定のアドレスに転送することができる。

【0133】次に、メモリセル933からの表示データの読み出し（表示動作）について説明する。

【0134】タイミング制御回路911は、レジスタ9110の内容とロウアドレス922とを確認することで、この時、静止画領域の表示を行っていることを知っ

22

ている。そのため、タイミング制御回路911は、この時には、セクタ937がデータバス934を選択するような値を制御信号945として出力している。セクタ937は、この制御信号945に従ってデータバス934を選択し、該データバス934を通じてメモリセル933から読み出されて来たデータ（各画素2ビット、1ライン分）を表示データ938として出力する。

【0135】シフトレジスタ939は、表示データ938を水平周期でラッチする。これに続く、ラッチ回路941は、次の水平周期で、シフトレジスタ939の出力する表示データ940をラッチし、液晶駆動回路943に表示データ942として出力する。液晶駆動回路943は、この表示データ942に応じてパルス幅変調（PWM）制御を行った液晶駆動電圧944を液晶パネル309に出力する。液晶駆動電圧944の出力は走査回路902の生成する走査選択信号903に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0136】以上の動作を繰り返すことで静止画の表示が可能となる。

【0137】〔動画の表示動作〕動画を表示する場合には、多階調表示、表示データの高速転送が、実際上は必要になる。本実施形態のデータドライバLSI900は、これに対応するため以下のような描画動作を行う。

【0138】動画データは、動画コントローラ311とCPU304とで動画圧縮データから動画伸長処理を行い、表示データに展開する。展開した表示データは動画コントローラ311がFRC制御を行う。

【0139】ところで、動画コントローラ311も、動画領域を示す情報を格納したレジスタ（図5における制御レジスタ回路505）を備えている。動画コントローラ311は、このレジスタの内容等を確認することで、その時表示処理の対象となっているのが動画表示領域であるか否かを知ることができる。その時表示処理の対象となっているのが動画表示領域であった場合、動画コントローラ311は上述のFRC制御を行なう。そして、その結果得られた各画素2ビットのFRCデータを、1ライン分ずつ順次、データバス302を通じてデータドライバLSI900に送る。

【0140】データドライバLSI900のタイミング制御回路911も、同様にレジスタ9110の内容とロウアドレス922とを確認することでその時表示処理の対象となっているのが動画表示領域であることを知る。そのため、タイミング制御回路911は、この時の制御信号945を、セクタ937がデータバス302を選択するような値とする。その結果、セクタ937は、データバス302を通じて動画コントローラ311から送られてくるFRCデータを選択し、シフトレジスタ939に出力させる。これ以降は、静止画の場合と同様にして、このパルス幅制御の行われた液晶駆動電圧444

(13)

23

の出力が行われることになる。このようにパルス幅変調方式による4階調制御と、FRC階調方式による12階調制御とを組み合わせることで32階調以上の表示を実現できる。

【0141】次に、動画コントローラ311からデータドライバLSI900への動画データ転送のタイミングおよびこの動画データのデータドライバLSI900内での処理のタイミングを図12、図13、図14を用いてさらに詳細に説明する。

【0142】ここでの説明では、タイミング制御回路411のレジスタ4110において、液晶パネル309のnラインからmラインまでの領域($n < m$)が動画表示領域として設定されているものとする(図12参照)。

【0143】動画コントローラ311からデータドライバ900への動画表示データの転送は第1の実施形態と同様である。

【0144】各画素2ビットの動画表示データは、データバス302を通して動画コントローラ311からデータドライバLSI900に1ライン分ずつシリアルに転送されてくる。図13において、CL1は水平期間を表わす同期信号であり、表示同期信号907(図6、図7参照)に含まれている信号である。

【0145】タイミング制御回路911は、このCL1を制御信号913として表示アドレスカウンタ921に出力している。表示アドレスカウンタ921は、この制御信号913(CL1)をカウントし、そのカウント値を表示用のロウアドレス922としてセクタ923に出力している。

【0146】セクタ937は、制御信号945に従ってその選択状態を切り替えているが、その選択状態は、表示アドレスカウンタ921のカウント値と以下のような関係にある。つまり、表示アドレスカウンタ921のカウント値が $n-1$ となっている時(動画表示領域でない時)には、セクタ937は、データバス934(つまり、メモリセル933に格納されている $n-1$ ライン目の表示データ)を選択している。表示アドレスカウンタ921のカウント値が n の時(動画表示領域の時)には、セクタ937は、データバス302(つまり、動画コントローラ311から送られてくる表示データ)を選択している。このように、動画表示領域ではセクタ937はデータバス302(動画コントローラ311からの表示データ)を選択し、動画表示領域以外ではメモリセル933の表示データを選択する。

【0147】また、動画コントローラ311の動作も、セクタ937、表示アドレスカウンタ921の動作と以下のような関係がある。つまり、表示アドレスカウンタ921が $(n-1)$ をカウントする時に、動画コントローラ311はnライン目の表示データを順次転送する。

【0148】データドライバLSI900においては、

24

シフトレジスタ939が、図14に示したタイミングでこの動画コントローラ311から送られてきたnライン目のデータ(1ライン分)を取り込む。すなわち、シフトレジスタ939は、WE信号に同期したシフトクロック916で、順次、表示データ938(動画コントローラ311から送られてきたnライン目のデータ)を1ライン分取り込む(注:既に述べたとおり、この時には、セクタ937はデータバス302を選択した状態とされている)。なお、動画コントローラ311からの表示データの転送は、図14におけるWE信号(ライトイネーブル信号)に同期して行われている。シフトレジスタ939は、このようなタイミングで取り込んだデータを、ラッチ回路941に表示データ940として転送する。

【0149】ラッチ回路941は、次のCL1信号に同期してこの表示データ940をラッチし、表示データ942として液晶駆動回路943に転送する(図13参照)。液晶駆動回路943は、この表示データ942(各画素2ビット)に対応してパルス幅変調を行った液晶駆動電圧944を生成し出力する。液晶駆動電圧944の出力は走査回路902の生成する走査選択信号903に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0150】以上の動作を繰り返すことで動画表示が可能となる。

【0151】以上説明したとおり該第2の実施形態の液晶表示装置では、データドライバLSI900の備えるメモリセル933を静止面表示にのみ用いている。そのため、メモリセル933の書換を高速に行う必要がなく、低消費電力化が可能である。また、動画表示における階調表示は、動画コントローラによるFRC制御と、データドライバによるパルス幅変調制御とを組み合わせることで実現している。そのため、データドライバLSI900のメモリ容量を増やすことなく、多階調の動画表示(本実施形態では、32階調)が容易に実現可能となる。

【0152】次に第3の実施形態である液晶表示装置を、図8乃至図14、図17を用いて説明する。

【0153】第3の実施形態では階調方式として電圧変調方式(AM方式)を用いる。

【0154】この液晶表示装置の全体構成は、データドライバ307に代わってデータドライバ1400を用いる点を除き、第1の実施形態(図1参照)と同様である。該第3の実施形態における特徴は、主としてデータドライバLSI1400にある。そこで、これ以降は、データドライバLSI1400を中心に説明を行うこととする。

【0155】各データドライバLSI1400は、各画素3ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えた表示メモリ(メモリセ

(14)

25

ル1433)を備えている。そのため、1個のデータドライバLSI1400で160×240画素の液晶パネルを8階調で表示することができる。液晶パネル309は320×480画素であるため、このデータドライバLSI1400を上下に2個ずつ(合計4個)配置し、上下240ラインずつの2画面駆動を行うようになっている。

【0156】図8、図9に示すとおり、データドライバLSI1400は、アドレス管理回路1408、タイミング制御回路1411、I/Oバッファ1419、表示アドレスカウンタ1421、セクタ1423、ロウアドレスデコーダ1425、カラムアドレスデコーダ1429、データセクタ1431、メモリセル1433、セクタ1437、シフトレジスタ1439、ラッチ回路1441、液晶駆動回路1443を備えている。また、これらの各部間(あるいは、他の回路部分との間)を繋ぐための各種信号線、バス1420、1432、1434、1442等を備えている。

【0157】なお、該図8、図9には、図1においては省略し描いていなかった、発振回路402、電源回路1404も描いている。

【0158】アドレス管理回路1408は、制御信号303、1401に基づいてアドレス301をカラムアドレス1409およびロウアドレス1410に変換するものである。アドレス管理回路1408は、カラムアドレス1409をカラムアドレスデコーダ1429に、一方、ロウアドレス1410をセクタ1423を介してロウアドレスデコーダ1425へ出力している。なお、制御信号1401は、4つのデータドライバLSI1400のうちいずれがその時のアクセス対象であるかを指定するためのものである。

【0159】タイミング制御回路1411は、制御信号303および表示同期信号1407からデータドライバLSI1400内部の各種制御信号1412、1413、1414、1416、1417、1418、1427、1445を生成するものである。これらの制御信号のうち、制御信号1412はI/Oバッファ1419に出力されている。制御信号1413は、表示アドレスカウンタ1421に出力されている。制御信号1414は、セクタ1423に出力されている。制御信号(シフトクロック)1416はシフトレジスタ1439に出力されている。制御信号(ラッチ信号)1417は、ラッチ回路1441に出力されており、表示データをラッチするタイミングを制御するのに用いられている。制御信号1418は、液晶駆動回路1443に出力されており、液晶駆動の交流化を制御するのに用いられている。制御信号1427は、液晶駆動回路1443に出力されており、電圧変調制御のタイミングを制御するのに用いられている。制御信号1445は、セクタ1437へ出力されており、セクタ1437に接続されている2

26

つのデータバス(データバス436、データバス302)のうちのいずれか一方を該セクタ1437が選択するのに用いられている。なお、タイミング制御回路1411にも上述の制御信号1401が入力されている。

【0160】該タイミング制御回路1411は、液晶パネル309上において動画の表示される領域を示す情報が格納されたレジスタ14110を備えている。また、該タイミング制御回路1411には、その時、液晶パネル309上における何番目のラインに対応した表示データをメモリセル1433から読み出すべきかを示すロウアドレス1422が入力されている。制御信号1445はこのレジスタ14110の内容とロウアドレス1422とに基づいて生成されている。つまり、動画表示領域では表示データ302(動画コントローラ311から送られてくる動画データ)を、一方、静止画表示領域では表示データ1434(静止画データ)を、セクタ1437に選択させるように制御信号1445を生成している。このような点が本実施形態最大の特徴点である。

【0161】I/Oバッファ1419は、制御信号1412に従って、表示データ302、1420の入出力を制御するものである。

【0162】表示アドレスカウンタ1421は、制御信号1413に従って、表示用のロウアドレス1422を生成するものである。該表示アドレスカウンタ1421は、このロウアドレス1422をタイミング制御回路1411およびセクタ1423に出力している。

【0163】セクタ1423は、制御信号1414に従って、表示用のロウアドレス1422と描画用のロウアドレス1410とのうちのいずれか一方を選択するものである。該セクタ1423は、選択した方を、ロウアドレス1424としてロウアドレスデコーダ1425に出力している。

【0164】ロウアドレスデコーダ1425は、ロウアドレス1424を解読することでワード選択信号1426を生成して、これをメモリセル1433のゲート線に出力するものである。

【0165】カラムアドレスデコーダ1429は、アドレス管理回路1408の出力するカラムアドレス1409に基づいて、選択信号1430を生成するものである。該カラムアドレスデコーダ1429は、この選択信号1430を、データセクタ1431に出力している。

【0166】データセクタ1431は、選択信号1430に従ってメモリセル1433のデータバス1432のデータ線を選択することで、メモリセル1433への表示データ1420の入出力を制御するものである。

【0167】メモリセル1433は、表示データ(静止画データ)を一時記憶するためのメモリであり、RAMで構成されている。該メモリセル1433上における表示データの書き込み/読み出しの対象となる領域は、上

(15)

27

述のカラムアドレスおよびロウアドレスに基づいて指定できるようになっている。上述したとおりメモリセル1433は、各画素3ビットの表示データを、160出力、240ライン分保持できるだけの容量を備えている。

【0168】セクタ1437は、表示データ1434（静止画データ）と、動画コントローラ311から入力されている表示データ302（動画データ）と、のうちのいずれか一方を制御信号1445に従って選択するものである。つまり、本実施形態においては、データバス302を通じて送られてきた表示データが、セクタ1437に至るまでには2つのルートが設けられている。1番目のルートは、データバス302以後、I/Oバッファ1419、データセクタ1431、メモリセル1433、データバス1434を通じてセクタ1437に至るルートである。2番目のルートは、メモリセル1433等を介することなく、データバス302を、直接、セクタ1437に接続したルートである。あらかじめ動画表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス302には動画コントローラ311から動画データが入力されている。一方、あらかじめ静止表示領域として設定されている領域についての表示データを入力すべき期間中は、データバス302にはCPU304、メモリ305等から静止画データが入力されている。従って、セクタ1437において、データバス1434とデータバス302とのうちのいずれか一方を制御信号1445に従って選択することで、データバス302からセクタ1437に至る2つのルートのうちのいずれかを、表示データに依じて選択できるようになっている。該セクタ1437は、このようにして選択した方を表示データ1438としてシフトレジスタ1439へ出力している。

【0169】なお、本実施形態におけるセクタ1437の具体的な内部構成は、第1の実施形態におけるセクタ437と同様でよい（図4参照）。

【0170】シフトレジスタ1439は、12ビット双方向シフトレジスタであり、制御信号（シフトクロック）1416に従って動作している。

【0171】ラッチ回路1441は、制御信号（ラッチ信号）1417に従って（つまり、走査回路1402の走査選択信号1403に同期して）表示データ1440をラッチするものである。該ラッチ回路1441は、ラッチしたデータを、表示データ1442として液晶駆動回路1443へ出力している。

【0172】液晶駆動回路1443は、電圧変調方式により、表示データ1442に対応した液晶駆動電圧944を生成するものである。電圧変調方式とは、図17に示すとおり、階調データに従った中間調電圧を液晶パネル309のデータ電極に与えることで、液晶に与える電圧実効値を制御し、階調表示を実現する方式である。電

28

圧変調方式では、非選択期間に与える電圧は表示データの階調で異なるため、2フレームで電圧実効値が一定となるように中間調電圧を設定する（図17参照）。該液晶駆動回路1443は、電圧変調によって8階調表示を可能としている。

【0173】発振回路402は表示タイミングを規定するための表示クロック403を生成し、走査回路1402へ供給するものである。

【0174】電源回路1404は、液晶パネル駆動電圧（走査回路用1402の電源電圧405、データドライバLSI1400用の電源電圧1406）を生成し供給するものである。

【0175】なお、動画コントローラ311の構成および動作は基本的には第1の実施形態と同様である（図5参照）。但し、該第3の実施形態では、第1の実施形態と異なりFRCデータは各画素3ビットのデータとしている。動画コントローラ311が行うFRC制御による階調制御と、データドライバLSI1400が行う電圧変調制御による階調制御とを組み合わせることで多階調表示を実現している。電圧変調制御により8階調制御を行い、FRC制御により6階調以上の制御を行えば、これらの組み合わせにより32階調以上の表示を実現できる。

【0176】次に、本実施形態における表示動作について説明する。

【0177】説明は静止画の表示動作と動画の表示動作とに分けて行う。

【0178】〔静止画の表示動作〕静止画については、CPU304がメモリ305内の表示データを読み出し（リードアクセス）し、これをデータドライバLSI1400のメモリセル1433に書き込む（ライトアクセス）ことで、表示データの更新（描画）が行われる。メモリ1433へのアクセスは、ランダムに行われる。この時の、CPU304のアクセスはSRAMインタフェースで行われる。SRAMインタフェースのリード/ライトタイミングは図10、図11に示したとおりである。

【0179】以下、データドライバLSI1400のメモリセル1433への表示データの書き込み、メモリセル1433からの表示データの読み出しについて説明する。

【0180】まず、メモリセル1433への表示データの書き込みについて説明する。

【0181】システム（CPU304等）からのリード/ライトアドレスは、アドレスバス301を通じてデータドライバLSI1400のアドレス管理回路1408に入力される。各データドライバLSI1400のアドレス管理回路1408は、それぞれ制御信号1401に基づいてその時のアクセスが、自らの属するデータドライバLSI1400に対するものであるかを判定す

(16)

29

る。該判定の結果、自らの属するデータドライバLSI 1400に対するアクセスであった場合には、この時入力されたアドレス301を、カラムアドレス1409、ロウアドレス1410に変換する。

【0182】カラムアドレスデコーダ1429は、このカラムアドレス1409をデコードする。データセクタ1431はこのデコード結果に基づいて、対応するアドレスのデータ線を選択する。

【0183】一方、セクタ1423は、ロウアドレス1410を選択し、ロウアドレス1424としてロウアドレスデコーダ1425に出力する。ロウアドレスデコーダ1425はこのロウアドレス1424をデコードし、デコード結果に応じてゲート線1本を選択する。これにより、CPU304は、その時選択されているデータ線およびゲート線によって定まるメモリセル1433上の所定のビットにアクセスし、表示データを所定のアドレスに転送することができる。

【0184】次に、メモリセル1433からの表示データの読み出し（表示動作）について説明する。

【0185】タイミング制御回路1411は、レジスタ14110の内容とロウアドレス1422とを確認することで、この時、静止画領域の表示を行っていることを知っている。そのため、タイミング制御回路1411は、この時には、セクタ1437がデータバス1434を選択するような値を制御信号1445として出力している。セクタ1437は、この制御信号1445に従ってデータバス1434を選択し、該データバス1434を通じてメモリセル1433から読み出されて来たデータ（各画素3ビット、1ライン分）を表示データ1438として出力する。

【0186】シフトレジスタ1439は、表示データ1438を水平周期でラッチする。これに続く、ラッチ回路1441は、次の水平周期で、シフトレジスタ1439の出力する表示データ1440をラッチし、液晶駆動回路1443に表示データ1442として出力する。液晶駆動回路1443は、この表示データ1442に応じて電圧変調（AM）制御を行った液晶駆動電圧1444を液晶パネル309に出力する。液晶駆動電圧1444の出力は走査回路1402の生成する走査選択信号1403に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0187】以上の動作を繰り返すことで静止画の表示が可能となる。

【0188】【動画の表示動作】動画を表示する場合には、多階調表示、表示データの高速転送が、実際には必要になる。本実施形態のデータドライバLSI1400は、これに対応するため以下のような描画動作を行う。

【0189】動画データは、動画コントローラ311とCPU304とで動画圧縮データから動画伸長処理を行い、表示データに展開する。展開した表示データは動画

30

コントローラ311がFRC制御を行う。

【0190】ところで、動画コントローラ311も、動画領域を示す情報を格納したレジスタ（図5における制御レジスタ回路505）を備えている。動画コントローラ311は、このレジスタの内容等を確認することで、その時表示処理の対象となっているのが動画表示領域であるか否かを知ることができる。その時表示処理の対象となっているのが動画表示領域であった場合、動画コントローラ311は上述のFRC制御を行なう。そして、その結果得られた各画素3ビットのFRCデータを、1ライン分ずつ順次、データバス302を通じてデータドライバLSI1400にシリアルに送る。

【0191】データドライバLSI1400のタイミング制御回路1411も、同様にレジスタ14110の内容とロウアドレス1422とを確認することでその時表示処理の対象となっているのが動画表示領域であることを知る。そのため、タイミング制御回路1411は、この時の制御信号1445を、セクタ1437がデータバス302を選択するような値とする。その結果、セクタ1437は、データバス302を通じて動画コントローラ311から送られてくるFRCデータを選択し、シフトレジスタ1439に出力させる。これ以降は、静止画の場合と同様にして、この電圧変調制御の行われた液晶駆動電圧444の出力が行われることになる。このように電圧変調方式による8階調制御と、FRC階調方式による6階調以上の制御とを組み合わせることで32階調以上の表示を実現できる。

【0192】次に、動画コントローラ311からデータドライバLSI1400への動画データ転送のタイミングおよびこの動画データのデータドライバLSI1400内での処理のタイミングを図12、図13、図14を用いてさらに詳細に説明する。

【0193】ここでの説明では、タイミング制御回路411のレジスタ4110において、液晶パネル309のnラインからmラインまでの領域（ $n < m$ ）が動画表示領域として設定されているものとする（図12参照）。

【0194】動画コントローラ311からデータドライバ1400への動画表示データの転送は第1の実施形態と同様である。

【0195】各画素3ビットの動画表示データは、データバス302を通過して動画コントローラ311からデータドライバLSI1400に1ライン分ずつシリアルに転送されてくる。図13において、CL1は水平期間を表わす同期信号であり、表示同期信号1407（図8、図9参照）に含まれている信号である。

【0196】タイミング制御回路1411は、このCL1を制御信号1413として表示アドレスカウンタ1421に出力している。表示アドレスカウンタ1421は、この制御信号1413（CL1）をカウントし、そのカウント値を表示用のロウアドレス1422としてセ

(17)

31

レクタ1423に出力している。

【0197】セクタ1437は、制御信号1445に従ってその選択状態を切り替えているが、その選択状態は、表示アドレスカウンタ1421のカウンタ値と以下のような関係にある。つまり、表示アドレスカウンタ1421のカウンタ値が $n-1$ となっている時（動画表示領域でない時）には、セクタ1437は、データバス1434（つまり、メモリセル1433に格納されている $n-1$ ライン目の表示データ）を選択している。表示アドレスカウンタ1421のカウンタ値が n の時（動画表示領域の時）には、セクタ1437は、データバス302（つまり、動画コントローラ311から送られてくる表示データ）を選択している。このように、動画表示領域ではセクタ1437はデータバス302（動画コントローラ311からの表示データ）を選択し、動画表示領域以外ではメモリセル1433の表示データを選択する。

【0198】また、動画コントローラ311の動作も、セクタ1437、表示アドレスカウンタ1421の動作と以下のような関係がある。つまり、表示アドレスカウンタ1421が $(n-1)$ をカウントする時に、動画コントローラ311は n ライン目の表示データを順次転送する。

【0199】データドライバLSI1400においては、シフトレジスタ1439が、図14に示したタイミングでこの動画コントローラ311から送られてきた n ライン目のデータ（1ライン分）を取り込む。すなわち、シフトレジスタ1439は、WE信号に同期したシフトクロック1416で、順次、表示データ1438

（動画コントローラ311から送られてきた n ライン目のデータ）を1ライン分取り込む（注：既に述べたとおり、この時には、セクタ1437はデータバス302を選択した状態とされている）。なお、動画コントローラ311からの表示データの転送は、図14におけるWE信号（ライトイネーブル信号）に同期して行われている。シフトレジスタ1439は、このようなタイミングで取り込んだデータを、ラッチ回路1441に表示データ1440として転送する。

【0200】ラッチ回路1441は、次のCL1信号に同期してこの表示データ1440をラッチし、表示データ1442として液晶駆動回路1443に転送する（図13参照）。液晶駆動回路1443は、この表示データ1442（各画素3ビット）に対応して電圧変調を行った液晶駆動電圧1444を生成し出力する。液晶駆動電圧1444の出力は走査回路1402の生成する走査選択信号1403に同期して出力されており、これにより液晶パネル309の1ライン分の表示を実現できる。

【0201】以上の動作を繰り返すことで動画表示が可能となる。

【0202】以上説明したとおり該第3の実施形態の液

32

晶表示装置では、データドライバLSI1400の備えるメモリセル1433を静止画表示にのみ用いている。そのため、メモリセル1433の書換を高速に行う必要がなく、低消費電力化が可能である。また、動画表示における階調表示は、動画コントローラによるFRC制御と、データドライバによる電圧変調制御とを組み合わせることで実現している。そのため、データドライバLSI1400のメモリ容量を増やすことなく、多階調の動画表示（本実施形態では、32階調）が容易に実現可能となる。

【0203】以上述べた第1～第3の実施形態では、データドライバの出力数を160としたが、出力数はこれに限定されない。メモリ、出力回路等の構成を出力数に対応して変えるだけで容易に対応可能である。また、FRC、パルス幅変調、電圧変調の階調制御の他の組み合わせも、容易に対応可能である。

【0204】上述した第1、第2、第3の実施形態の構成をそれぞれ組み合わせてもよい。例えば、メモリセルの直後の位置、動画コントローラ、液晶駆動回路、の合計3カ所で階調制御を行うようにしてもよい。

【0205】以上述べたデータドライバ、液晶表示装置を用いれば、消費電力が小さく、多階調表示、動画表示の可能な情報処理装置が得られる。

【0206】特許請求の範囲において言う”データバス”とは、上述の実施形態においてはデータバス302に相当する。”アドレスバス”とは、アドレスバス301に相当する。”データ処理系”には、アドレス管理回路408（908、1408）、カラムアドレスデコード429（929、1429）、セクタ431（931、1431）、I/Oバッファ419（919、1419）、メモリセル433（933、1433）、ロウアドレスデコード425（925、1425）、セクタ423（923、1423）、データバス436（934、1434）等に相当する。”表示メモリ”とは、メモリセル433（933、1433）に相当する。”出力バス”とは、データバス436（934、1434）に相当する。”第1の階調制御回路”とは、FRCデータ回路427、FRCセクタ435に相当する。

”選択手段”とは、タイミング制御回路411（911、1411）、セクタ437（937、1437）、表示アドレスカウンタ421（921、1421）等に相当する。”メモリ”とはレジスタ4110（9110、14110）に、また、”選択情報”とはこれらのレジスタ4110（9110、14110）に格納されている動画領域を示す設定情報に相当する。”指示回路”とは、タイミング制御回路（911、1411）、表示アドレスカウンタ421（921、1421）に相当する。”選択指示”とは、制御信号445（945、1445）に相当する。”セクタ”とは、セクタ437（937、1437）”電圧出力手段”

(18)

33

とは、シフトレジスタ439(939、1439)、ラッチ回路441(941、1441)、液晶駆動回路443(943、1443)に相当する。”第2の階調制御回路”とは、液晶駆動回路943(1443)に含まれている階調制御に関する部分に相当する。“データコントローラ”とは、動画コントローラ311に相当する。”第3の制御回路”とは、FRC制御回路506に相当する。

【0207】但し、上記各部は互いに密接に連携して動作するものであり、ここで述べた定義は厳密なものではない。

【0208】

【発明の効果】以上説明した通り本発明によれば、データドライバに内蔵する表示メモリ容量を増加させることなく多階調表示、動画表示が可能である。また、データドライバに表示メモリを内蔵しているため、静止画については表示メモリのアクセス周波数を低速化(水平期間に1回)できる。そのため、低コストと低消費電力化とを両立させることができる。階調表示数は外部のコントローラでFRC制御するため、データドライバLSIに
20 関係なく任意に設定可能である。本発明のデータドライバ、液晶表示装置を用いれば、消費電力が小さく、多階調表示、動画表示の可能な情報処理装置が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である液晶表示装置の全体構成を示すブロック図である。

【図2】液晶表示装置の主要部の詳細な構成を示すブロック図である。

【図3】データドライバLSI307の詳細な構成を示すブロック図である。

【図4】セクタ437の内部構成を示す回路図である。

【図5】動画コントローラ311の内部構成を示すブロック図である。

【図6】本発明の第2の実施形態における液晶表示装置の主要部の構成を示す図である。

【図7】データドライバLSI900の構成を示す図である。

【図8】本発明の第3の実施形態における液晶表示装置の主要部の構成を示す図である。

【図9】データドライバLSI1400の内部構成を示す図である。

【図10】SRAMインタフェースのメモリライトタイミングを示す図である。

【図11】SRAMインタフェースのメモリリードタイミングを示す図である。

【図12】液晶パネル309における動画表示領域を示す図である。

【図13】動画コントローラ311から液晶ドライバ307(900、1400)への動画表示データの転送タ
50

34

イミングを示す図である。

【図14】シフトレジスタ439(939、1439)による表示データの転送タイミングを示す図である。

【図15】FRC階調方式を示す図である。

【図16】パルス幅変調階調方式を示す図である。

【図17】電圧変調階調方式を示す図である。

【図18】従来の液晶表示装置の構成図である。

【図19】従来技術の液晶表示装置の主要部の構成図である。

【図20】従来技術のデータドライバの構成図である。

【符号の説明】

【図1】301…アドレスバス、302…データバス(表示データ)、303…制御信号、304…CPU、305…メモリ、306…I/Oデバイス、307…データドライバ、308…走査回路、309…液晶パネル、310…表示同期信号、311…動画コントローラ
[図2、図3]401…制御信号、402…発振回路、403…表示クロック、404…電源回路、405…電源電圧、406…電源電圧、407…走査選択信号、408…アドレス管理回路、409…カラムアドレス、410…ロウアドレス、411…タイミング制御回路、412…制御信号、413…制御信号、414…制御信号、415…制御信号、416…シフトクロック、417…制御信号(ラッチ信号)、418…制御信号、419…I/Oバッファ、420…データバス、421…表示アドレスカウンタ、422…ロウアドレス、423…セクタ、424…ロウアドレス、425…ロウアドレスデコード、426…選択信号、427…FRCデータ回路、428…FRCデータ、429…カラムアドレスデコード、430…選択信号、431…データセクタ、432…データバス、433…メモリセル、434…データバス(表示データ)、435…FRCセクタ、436…データバス(表示データ)、437…セクタ、438…データバス(表示データ)、439…シフトレジスタ、440…データバス(表示データ)、441…ラッチ回路、442…データバス(表示データ)、443…液晶駆動回路、444…液晶駆動電圧、445…制御信号、4110…レジスタ

40 【図5】501…タイミング制御回路、502…I/O制御回路、503…アドレス制御回路、504…動画処理回路、505…制御レジスタ回路、506…FRC制御回路、507…制御信号、508…制御信号、509…制御信号、510…制御信号、511…制御信号、512…制御信号(レジスタラッチ信号)、513…アドレスバス、514…アドレスバス、515…データバス、516…データバス、517…データバス、518…データバス、519…データバス、520…データバス

【図6、図7】900…データドライバ、901…制御信号、902…走査回路、903…走査選択信号、90

(19)

35

4…電源回路、1405…電源電圧、1406…電源電圧、907…表示同期信号、908…アドレス管理回路、909…カラムアドレス、910…ロウアドレス、911…タイミング制御回路、912…制御信号、913…制御信号、914…制御信号、916…制御信号（シフトクロック）、917…制御信号（ラッチ信号）、918…制御信号、919…I/Oバッファ、920…データバス、921…表示アドレスカウンタ、922…ロウアドレス、923…セクタ、924…ロウアドレス、925…ロウアドレスデコード、926…ワード選択信号、927…制御信号、929…カラムアドレスデコード、930…選択信号、931…セクタ、932…データバス、933…メモリセル、934…データバス、937…セクタ、938…データバス、939…シフトレジスタ、940…データバス（表示データ）、941…ラッチ回路、942…データバス（表示データ）、943…液晶駆動回路、944…液晶駆動電圧、945…制御信号、9110…レジスタ

〔図8、図9〕1400…データドライバ、1401…制御信号、1402…発振回路、1403…走査選択信号、1404…電源回路、1405…電源電圧、1406…電源電圧、1407…表示同期信号、1408…アドレス管理回路、1409…カラムアドレス、1410…ロウアドレス、1411…タイミング制御回路、1412…制御信号、1413…制御信号、1414…制御信号、1416…制御信号（シフトクロック）、1417…制御信号（ラッチ信号）、1418…制御信号、1419…I/Oバッファ、1420…データバス、1421…表示アドレスカウンタ、1422…ロウアドレス、1423…セクタ、1424…ロウアドレス、1425…ロウアドレスデコード、1426…ワード選択信号、1427…制御信号、1429…カラムアドレス

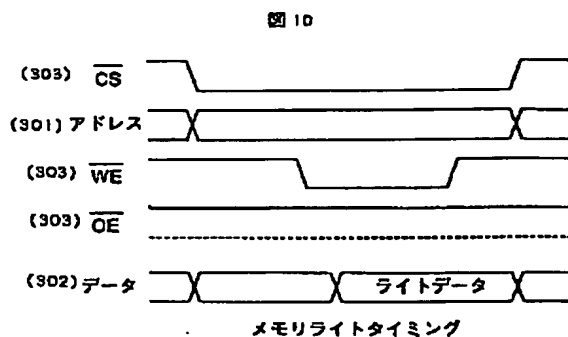
36

デコード、1430…選択信号、1431…データセクタ、1432…データバス、1433…メモリセル、1434…データバス、1437…セクタ、1438…データバス（表示データ）、1439…シフトレジスタ、1440…データバス、1441…ラッチ回路、1442…データバス、1443…液晶駆動回路、1444…液晶駆動電圧、1445…制御信号、14110…レジスタ

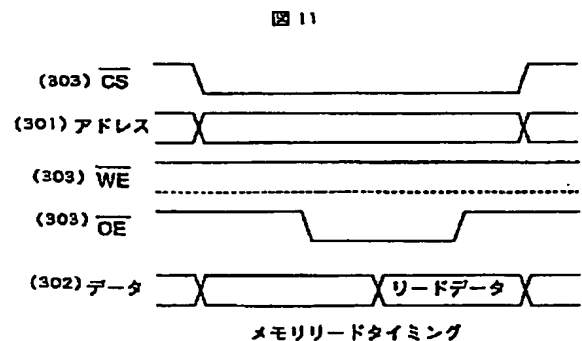
〔図18〕101…アドレスバス、102…データバス、103…制御信号線（制御信号）、104…CPU、105…メモリ、106…I/Oデバイス、107…データドライバ、108…走査回路、109…液晶パネル、110…表示同期信号

〔図19、図20〕201…表示用発振回路、202…電源回路、203…制御信号線、204…表示制御信号線、205…電源電圧、206…電源電圧、207…アドレス管理回路、208…カラムアドレス、209…ロウアドレス、210…タイミング制御回路、211…制御信号、212…制御信号、213…制御信号、214…制御信号（ラッチ信号）、215…制御信号（ラッチ信号）、216…制御信号、217…表示アドレスカウンタ、218…ロウアドレス、219…I/Oバッファ、220…データバス、221…セクタ、222…ロウアドレス、223…カラムアドレスデコード、224…選択信号、225…データセクタ、226…データバス、227…ロウアドレスデコード、228…ワード選択信号、229…メモリセル、230…データバス（表示データ）、231…制御信号、232…FRCデータ回路、233…FRCデータ、234…FRCセクタ、235…表示データバス、236…ラッチ回路、237…データバス、238…ラッチ回路、239…データバス、240…液晶駆動回路、241…液晶駆動電圧

【図10】

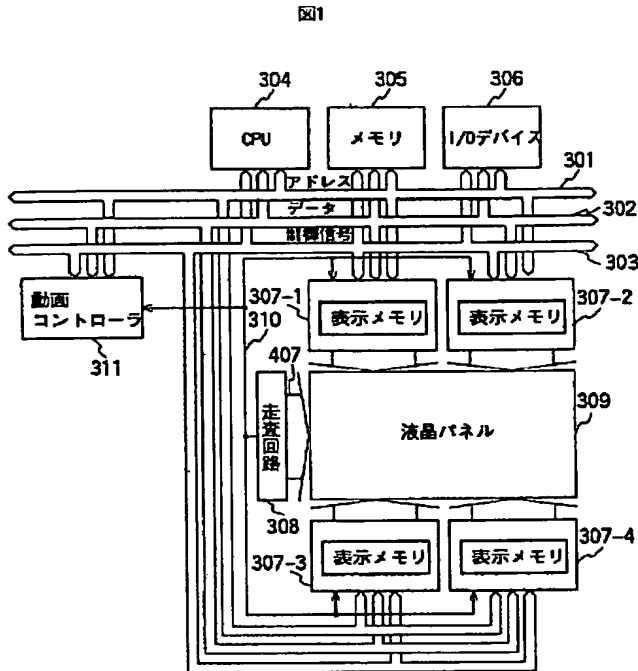


【図11】

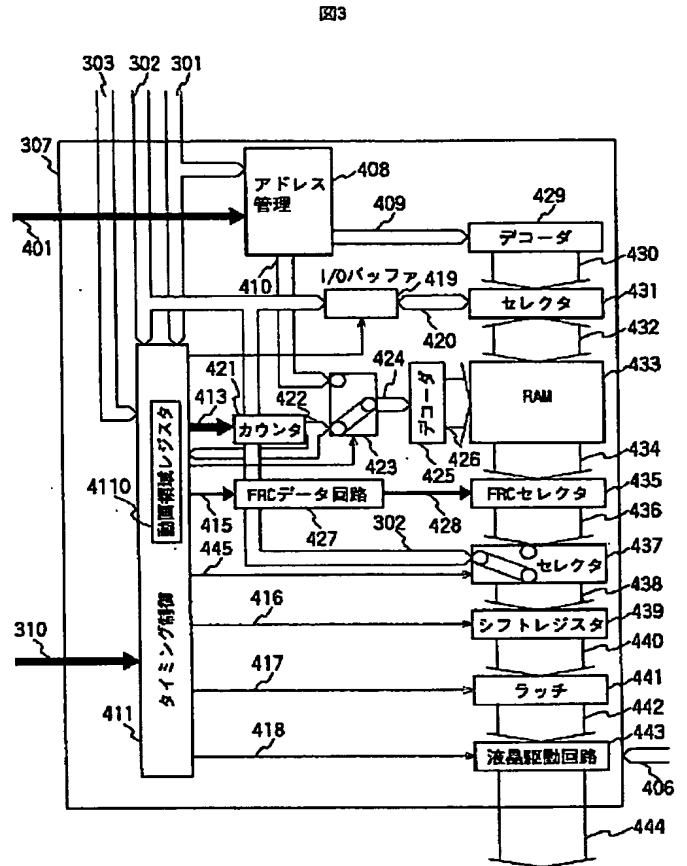


(20)

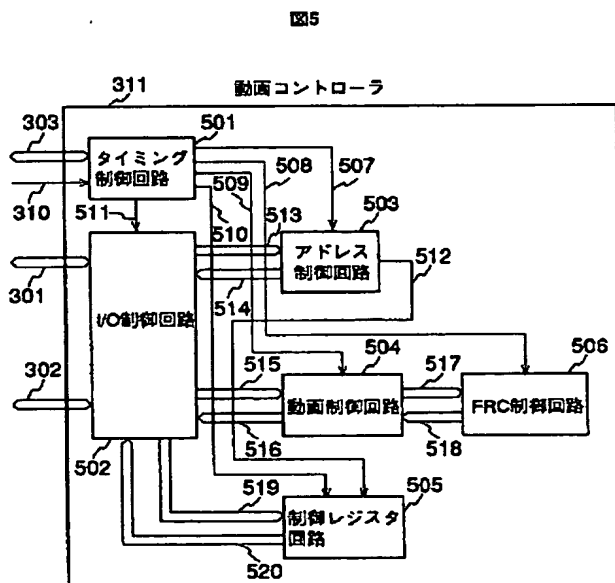
【図1】



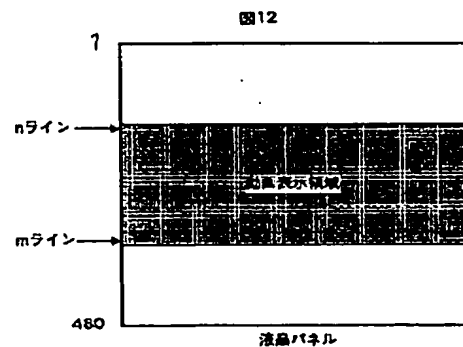
【図3】



【図5】

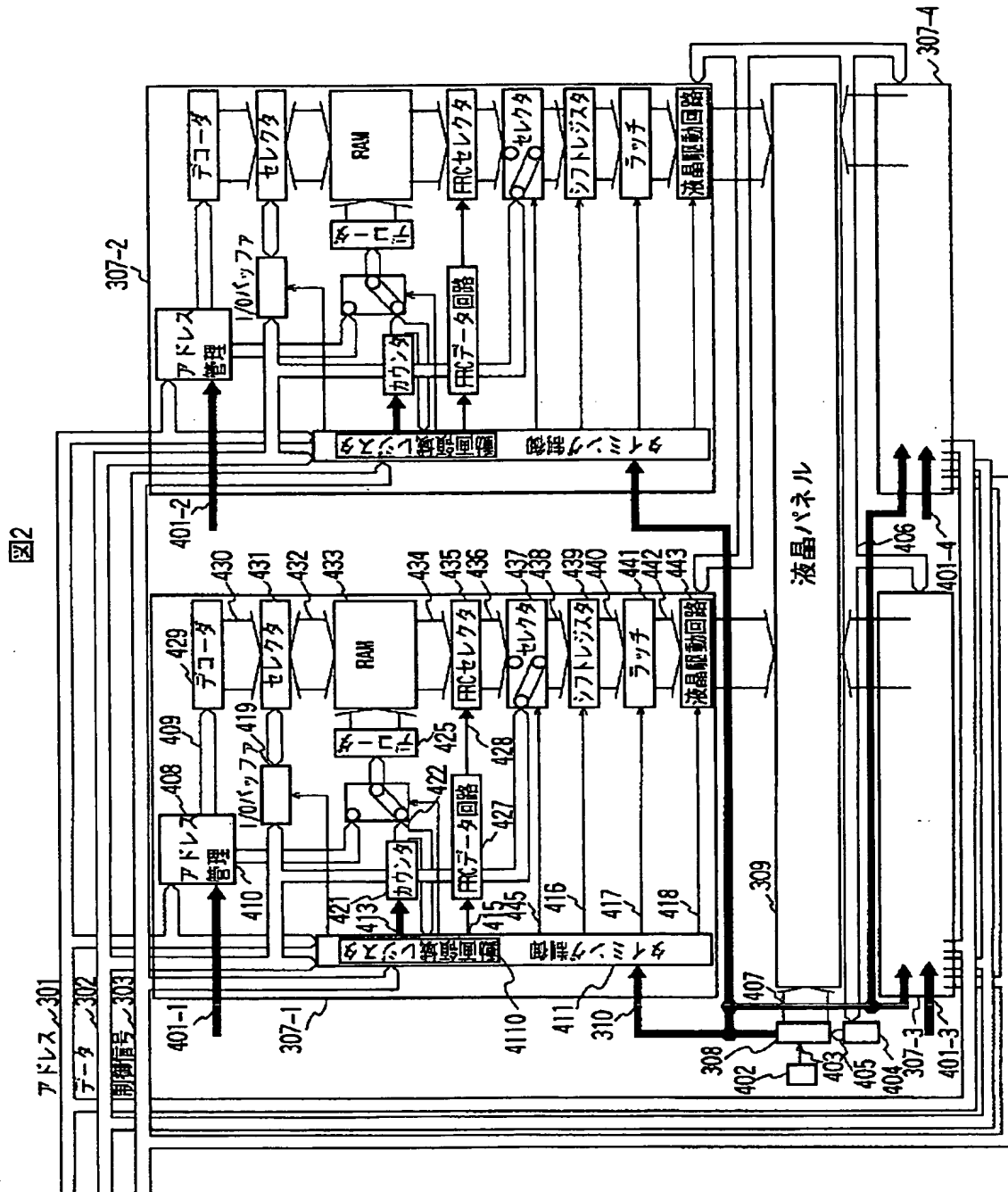


【図12】



(21)

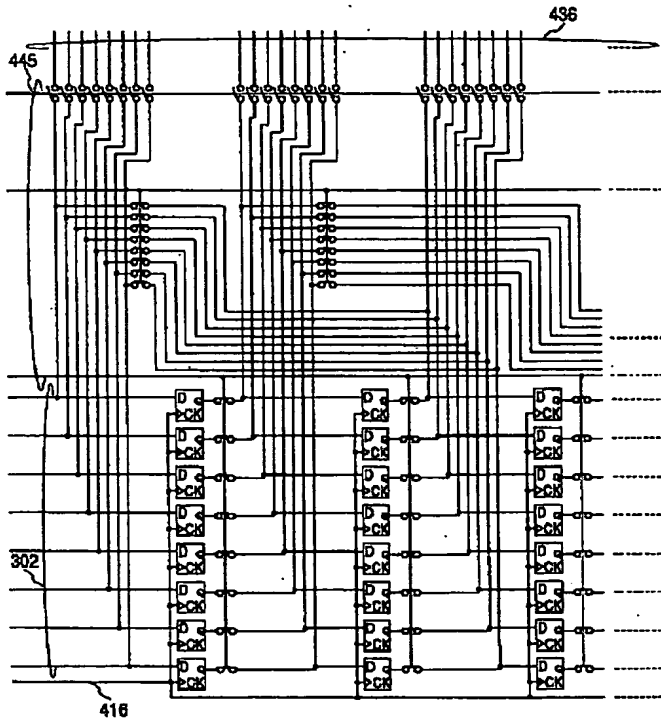
【図2】



(22)

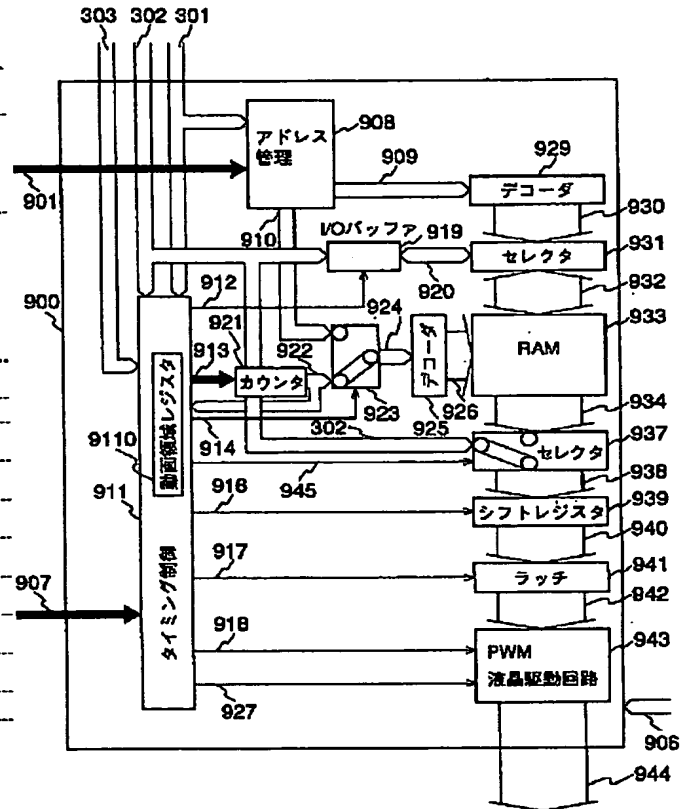
【図4】

図4



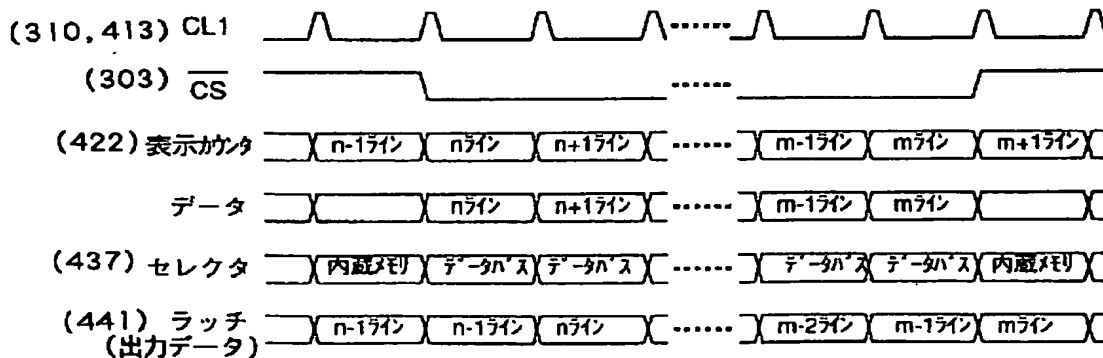
【図7】

図7



【図13】

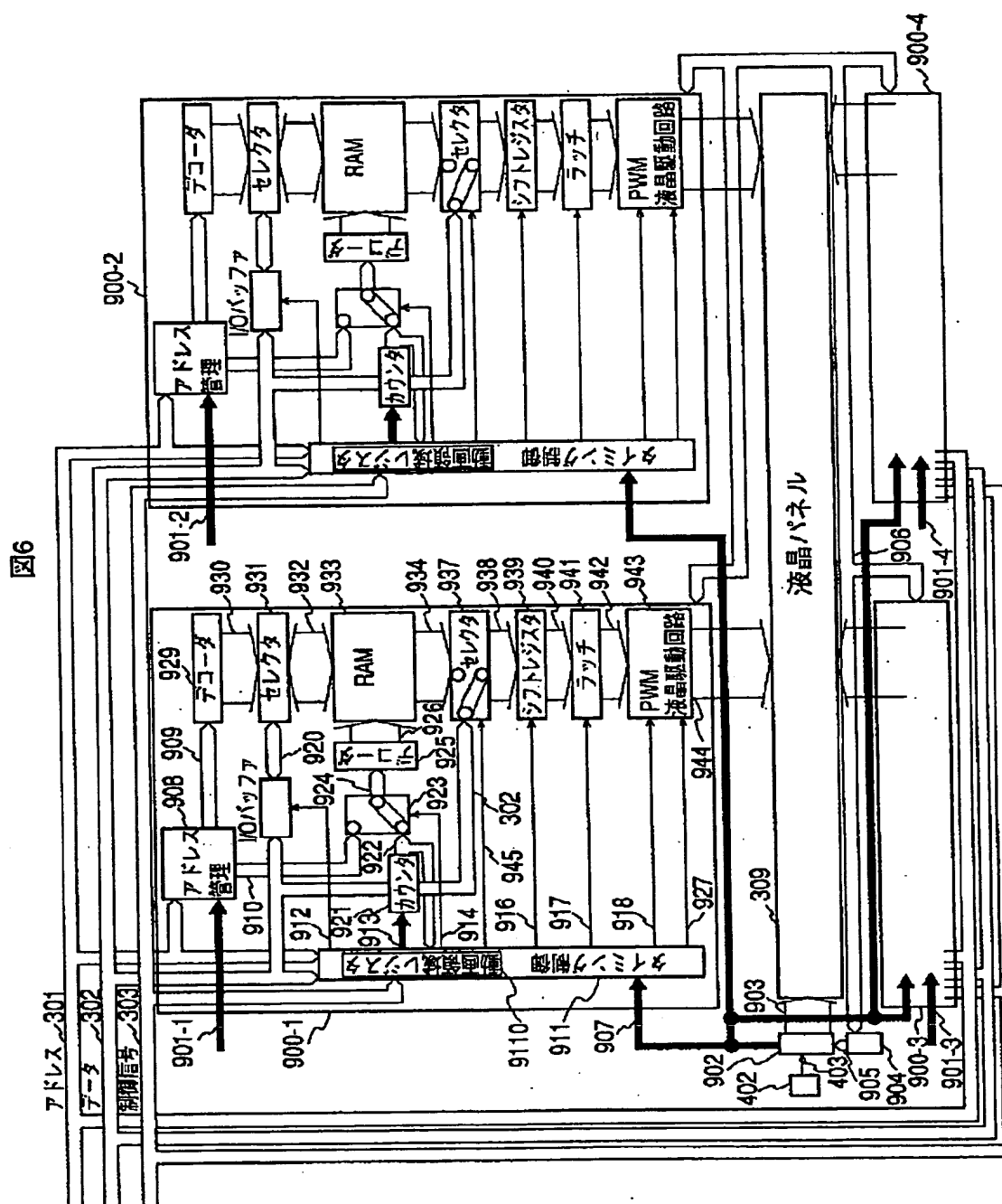
図13



動画表示データ転送タイミング

(23)

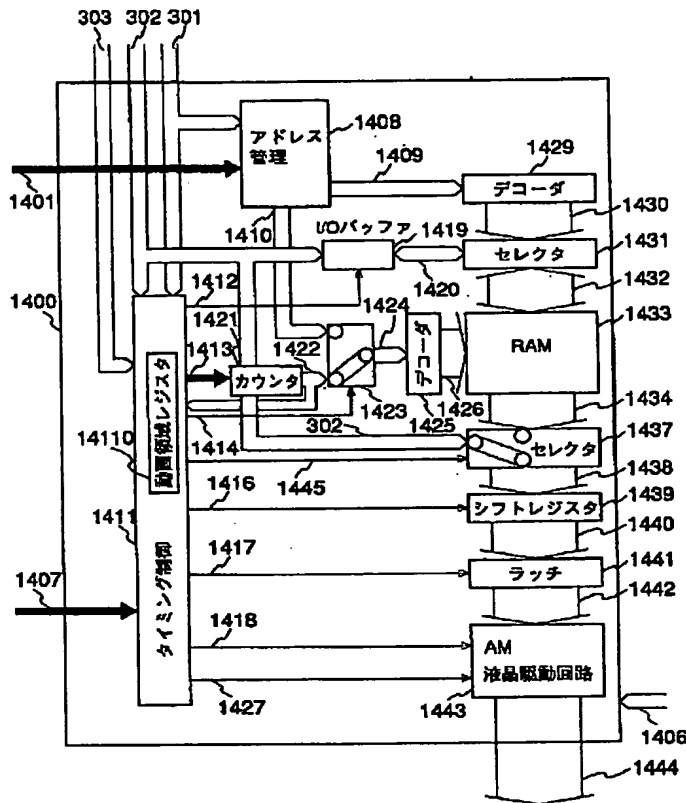
【図 6】



(25)

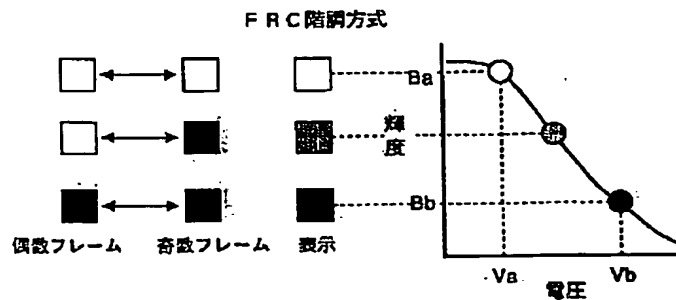
【図9】

図9



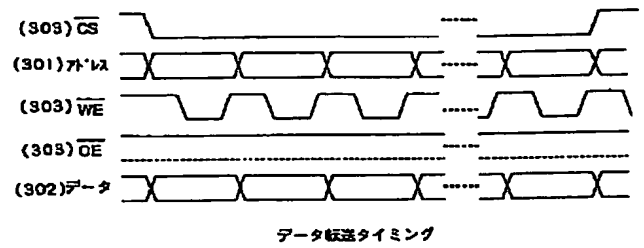
【図15】

図15



【図14】

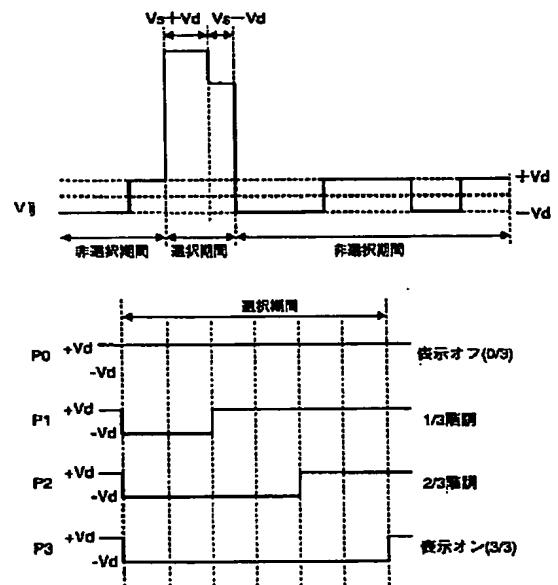
図14



【図16】

図16

PWM階調方式



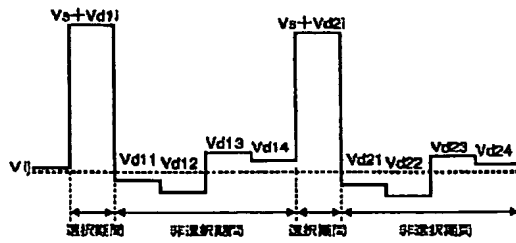
$$\langle D \rangle = \sqrt{\frac{a [V_b - (-V_d)]^2 + (3-a) [V_b - (V_d)]^2 + 3(N-1)V_d^2}{3N}}$$

(26)

【図17】

図17

AM階調方式

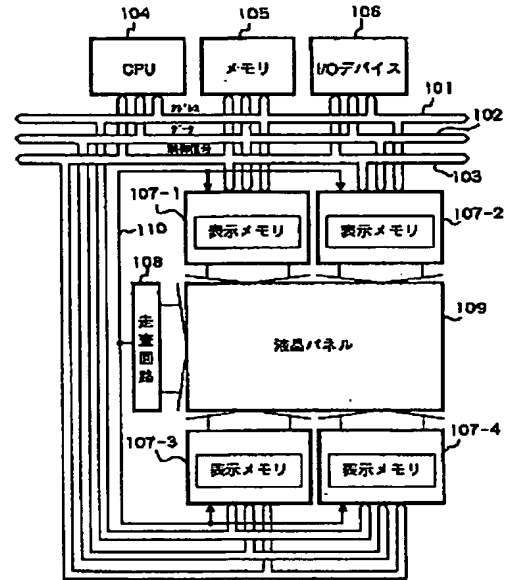


階調No.	k	+電圧		-電圧	
		Vd11	Vd21	Vd11	Vd21
0	1	Vd	Vd	-Vd	-Vd
1	0.75	1.41Vd	0.09Vd	-1.41Vd	-0.09Vd
2	0.5	1.36Vd	-0.37Vd	-1.36Vd	0.37Vd
3	0.25	1.22Vd	-0.72Vd	-1.22Vd	0.72Vd
4	-0.25	0.72Vd	-1.22Vd	-0.72Vd	1.22Vd
5	-0.5	0.37Vd	-1.36Vd	-0.37Vd	1.36Vd
6	-0.75	-0.09Vd	-1.41Vd	0.09Vd	1.41Vd
7	-1	-Vd	-Vd	Vd	Vd

1フレーム目:
 $V_{d11} = (k \cdot \sqrt{1/2}) \cdot V_d$
 2フレーム目:
 $V_{d21} = (k \cdot \sqrt{1/2}) \cdot V_d$

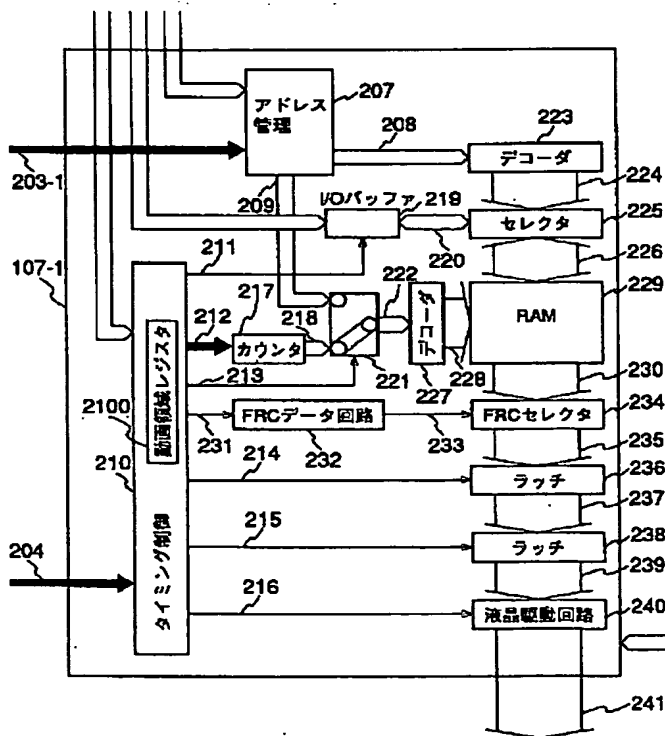
【図18】

図18



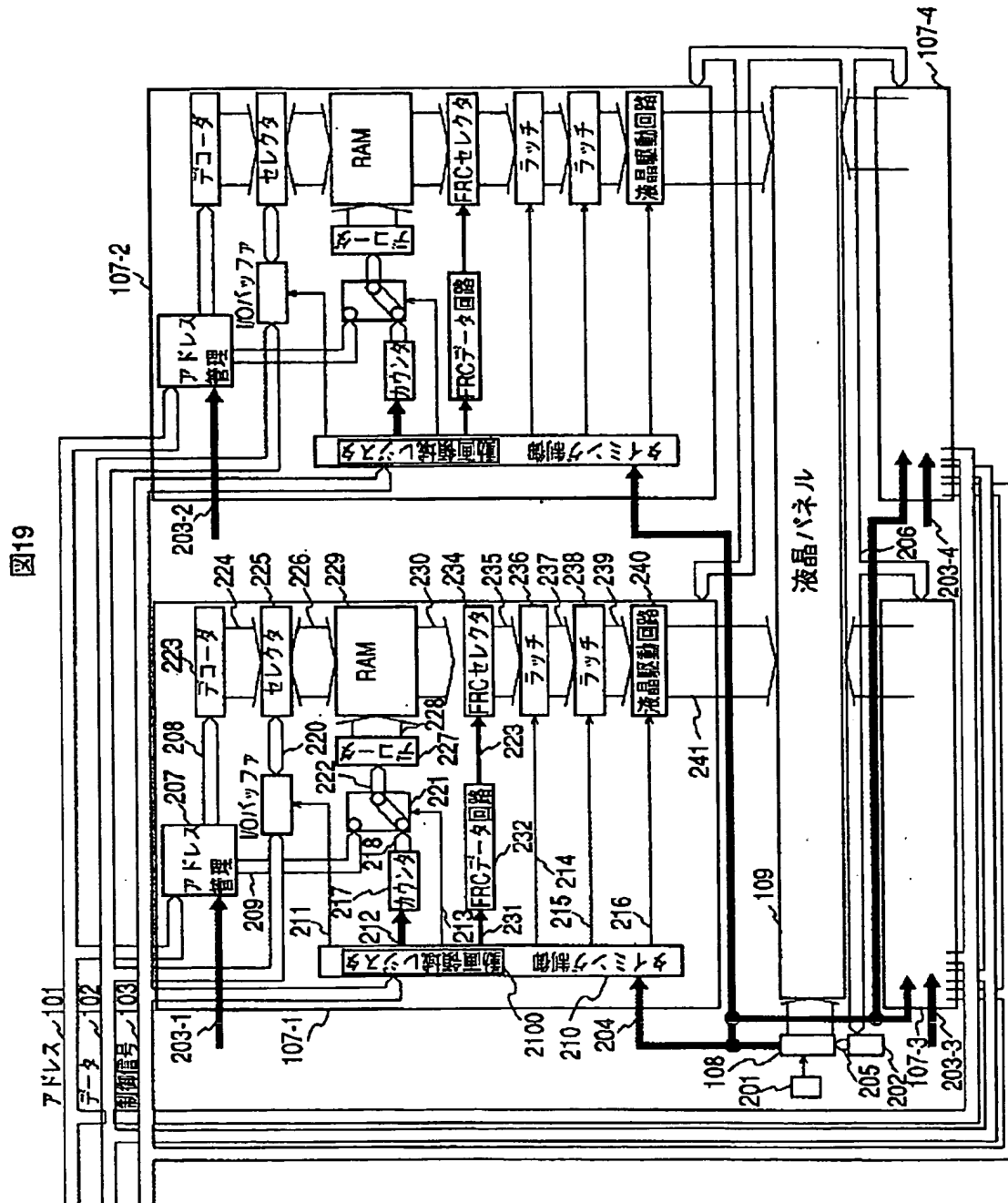
【図20】

図20



(27)

【図19】



フロントページの続き

(72)発明者 恒川 悟

東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第2区分
【発行日】平成13年2月9日（2001. 2. 9）

【公開番号】特開平9-281933
【公開日】平成9年10月31日（1997. 10. 31）
【年通号数】公開特許公報9-2820
【出願番号】特願平8-95401
【国際特許分類第7版】

G09G 3/36
G02F 1/133 575

【F I】

G09G 3/36
G02F 1/133 575

【手続補正書】

【提出日】平成11年12月16日（1999. 12. 16）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】液晶パネルのデータ線に印加する液晶駆動電圧を外部から入力される表示データに応じて出力するデータドライバにおいて、

外部から表示データを入力されるデータバスと、
外部からアドレスを入力されるアドレスバスと、
表示データを記憶するための表示メモリおよび該表示メモリから読み出されたデータを出力するための出力バスを備え、上記データバスを通じて入力された表示データを、上記アドレスバスを通じて入力された上記アドレスに基づいて定まる上記表示メモリ上の領域に一旦格納し、その後、該表示メモリに格納した表示データを別途定められた順に読み出して上記出力バスを通じて出力するデータ処理系と、

上記データ処理系の出力バスと上記データバスとのうちのいずれか一方を選択する選択手段と、
上記選択手段によって選択されている方のバスを通じて送られてくるデータに応じた液晶駆動電圧を出力する電圧出力手段と、

を有することを特徴とするデータドライバ。

【請求項2】上記選択手段は、
選択の基準となる選択情報を格納するメモリと、
上記選択情報に従った選択指示を出力する指示回路と、
上記指示回路からの指示に従って、上記データバスまたは上記データ処理系の出力バスのいずれかを選択するセレクタと、
を含んで構成されるものであることを特徴とする請求項1記載のデータドライバ。

【請求項3】上記選択情報は、上記液晶パネル上における領域を規定したものであり、
上記指示回路は、上記選択情報によって規定された領域に対して出力されるべきデータが上記データバスを通じて送られてくる期間中は上記データバスを選択する指示を出し、それ以外の時には上記データ処理系の出力バスを選択する指示を出すものであること、
を特徴とする請求項2記載のデータドライバ。

【請求項4】上記選択情報は、上記液晶パネル上における動画を表示する領域を規定したものであること、
を特徴とする請求項3記載のデータドライバ。

【請求項5】上記データ処理系は、上記表示メモリから読み出された表示データに基づいて階調制御を行う第1の階調制御回路を有し、該第1の階調制御回路による階調制御の行われた後のデータを上記出力バスを通じて出力するものであること、を特徴とする請求項1, 2, 3または4記載のデータドライバ。